

ARM®Cortex®-M0

32 位微处理器

SWM221 系列 MCU

数据手册

Version 1.22

2025.12.17

华芯微特集成电路有限公司

Synwit Integrated Circuit Co., Ltd.

目录

SWM221 系列 MCU	1
1. 概述	8
2. 特性	9
3. 选型指南	13
4. 系统架构	15
4.1 系统架构	15
4.2 总线矩阵	17
4.3 系统电源概述	18
5. 管脚配置	19
5.1 SWM221CBT7	19
5.2 SWM221EBS7	23
5.3 SWM221KBU7	25
5.4 SWM22PE8S7	28
5.5 SWM22DD8U7	30
5.6 SWM22PG8S7	33
5.7 SWM221GBS7	35
5.8 SWM22DC8U7	37
5.9 SWM22DK8U7	40
5.10 SWM221DBU7	43
5.11 功能描述	45
5.12 管脚复用功能	48
6. 功能概述	50
6.1 存储器映射	50
6.2 中断控制器 (NVIC)	51
6.3 系统管理 (SYSCON)	51
6.4 端口控制 (PORTCON)	51
6.5 通用 I/O (GPIO)	51
6.6 加强型定时器 (TIMER)	52
6.7 基础定时器 (BTIMER)	52

6.8	看门狗定时器 (WDT).....	53
6.9	脉冲宽度调制发生器 (PWM).....	53
6.10	正交编码器 (QEI).....	54
6.11	UART 接口控制器 (UART).....	54
6.12	USART 接口控制器 (USART).....	55
6.13	I2C 总线控制器 (I2C).....	55
6.14	SPI 总线控制器 (SPI).....	56
6.15	QSPI 总线控制器 (QSPI).....	56
6.16	MPU 接口 (MPU).....	57
6.17	CRC 计算单元 (CRC).....	57
6.18	局域网控制器 (CAN).....	57
6.19	直接内存存取控制器 (DMA).....	58
6.20	除法器 (DIV).....	58
6.21	FLASH 控制器与 ISP 操作.....	59
6.22	模拟数字转换器 (ADC).....	59
6.23	可编程增益运放(PGA).....	59
6.24	比较器 (CMP).....	60
7.	3P3N 预驱.....	61
7.1	概述.....	61
7.2	特性.....	61
7.3	模块结构框图.....	62
7.4	功能描述.....	63
8.	6N 预驱.....	65
8.1	概述.....	65
8.2	特性.....	65
8.3	模块结构框图.....	66
8.4	功能描述.....	66
9.	最小系统电路.....	68
10.	电气特性.....	69
10.1	绝对最大额定值.....	69
10.2	EMC 特性.....	70

10.3	直流电气特性	71
10.4	交流电气特性	73
10.5	模拟器件特性	75
10.6	3P3N DRIVER 特性	80
10.7	6N 预驱特性 (SWM22DD8U7)	84
11.	封装尺寸	87
11.1	SSOP24 (SWM221EBS7、SWM22PE8S7)	87
11.2	LQFP48 (SWM221CBT7)	88
11.3	QFN32 (SWM221KBU7、SWM22DK8U7)	89
11.4	QFN40 (SWM22DD8U7、SWM221DBU7)	90
11.5	SSOP28 (SWM22PG8S7、SWM221PGBS7)	91
11.6	QFN37 (SWM22DC8U7)	92
12.	命名规则说明	94
13.	缩写	95
13.1	缩写表	95

图目录

图 4-1 功能方框图.....	16
图 4-2 总线矩阵.....	17
图 4-3 系统电源架构.....	18
图 5-1 SWM221CBT7 封装管脚配置图.....	19
图 5-2 SWM221EBS7 封装管脚配置图.....	23
图 5-3 SWM221KBU7 封装管脚配置图.....	25
图 5-4 SWM22PE8S7 封装管脚配置图.....	28
图 5-5 SWM22DD8U7 封装管脚配置图.....	30
图 5-6 SWM22PG8S7 封装管脚配置图.....	33
图 5-7 SWM221GBS7 封装管脚配置图.....	35
图 5-8 SWM22DC8U7 封装管脚配置图.....	37
图 5-9 SWM22DK8U7 封装管脚配置图.....	40
图 5-10 SWM221DBU7 封装管脚配置图.....	43
图 7-1 预驱电路结构框图.....	62
图 7-2 参考应用电路.....	64
图 8-1 SWM22DD8U7 预驱模块结构框图.....	66
图 8-2 参考应用电路图.....	67
图 9-1 最小系统示意图.....	68
图 10-1 外部晶体振荡器典型电路.....	74
图 10-2 输出 LO 开关时间波形图.....	82
图 10-3 输出 HO 开关时间波形图.....	83
图 10-4 死区时间波形图.....	83
图 10-5 低端输出 LO 开关时间波形图.....	86
图 10-6 高端输出 HO 开关时间波形图.....	86
图 11-1 SSOP24 封装尺寸图.....	87
图 11-2 LQFP48 封装尺寸图.....	88
图 11-3 QFN32 封装尺寸图.....	89
图 11-4 QFN40 封装尺寸图.....	90
图 11-5 SSOP28 封装尺寸图.....	91

图 11-6 QFN37 封装尺寸图.....	93
-------------------------	----

表格目录

表格 3-1 SWM221 系列 MCU 选型表.....	13
表格 3-2 SWM221 合封系列 MCU 选型表.....	14
表格 5-1 PORTA 复用功能表.....	48
表格 5-2 PORTB 复用功能表.....	49
表格 5-3 PORTC 复用功能表.....	49
表格 6-1 存储器映射.....	50
表格 7-1 预驱引脚与芯片内部对应关系.....	63
表格 7-2 OPA 输出引脚与 ADC 对应关系.....	63
表格 10-1 绝对最大额定值.....	69
表格 10-2 直流电气特性($V_{DD} = 2.2V \sim 5.5V$, $V_{SS} = 0V$, $T_A = 25^\circ C$).....	71
表格 10-3 内部高频 RC 振荡器特性.....	73
表格 10-4 内部低频 RC 振荡器特性.....	73
表格 10-5 外部晶体振荡器.....	73
表格 10-6 PLL 特性.....	74
表格 10-7 上电和掉电工作条件.....	75
表格 10-8 LDO 特性.....	75
表格 10-9 电压检测和欠压复位特性.....	75
表格 10-10 ADC 特性.....	76
表格 10-11 可编程增益运放特性.....	78
表格 10-12 比较器特性.....	79
10-13 Flash 储存器特性.....	79
表格 10-14 3P3N DRIVER 绝对最大额定值.....	80
表格 10-15 3P3N DRIVER 电气特性.....	81
表格 10-16 3P3N DRIVER 动态电特性.....	82
表格 10-17 6N 预驱绝对最大额定值.....	84
表格 10-18 6N 预驱电气特性.....	84
表格 10-19 6N 预驱动态电特性.....	85

1. 概述

SWM221 系列 32 位 MCU（以下简称 SWM221）内嵌 ARM® Cortex®-M0 内核，凭借其出色的性能以及高可靠性、低功耗、代码密度大等突出特点，可应用于工业控制、电机控制、白色家电等多种领域。

SWM221 支持片上包含精度为 1% 以内的 8M 时钟及 PLL 模块，最高支持 72MHz 的时钟输出。同时提供最大为 128K 字节的 FLASH 和最大 8K 字节的 SRAM。此外，芯片支持向量表重映射和 CACHE 单周期取指、ISP（在系统编程）操作及 IAP（在应用编程），支持用户可自定义 BOOT 程序和加密操作。

SWM221 外设串行总线包括最多 2 个 UART 接口，1 个 USART 接口（支持 LIN 协议），1 个标准 SPI 接口，1 个 QSPI（支持四线 FLASH 读写与 QSPI 屏操作），1 个 I2C 接口（支持主/从选择），1 个 CAN 接口，此外还具有 1 个 16 位看门狗定时器，3 组 32 位（24 位计数器+8 位预分频）加强型定时器，4 组 32 位（24 位计数器+8 位预分频）基础型定时器，1 个 16 位正交编码器（QEI）模块，1 个 8 位的 MPU 接口模块，2 个 4 通道（每个通道均可扩展为具备死区的互补模式）16 位 PWM 模块，1 个除法器（DIV），2 个最多 10 通道 12 位 1MSPS 的逐次逼近型 ADC 模块，3 路运算放大器，2 路比较器模块，并提供可编程电压检测和低电压复位等功能。

SWM221 系列部分型号集成了三相 PMOS、NMOS 管栅极驱动专用芯片，内部集成了 LDO、死区控制电路、欠压关断电路、闭锁电路、输出驱动电路，用于电机控制器、电源的驱动电路。

2. 特性

- 内核
 - 32 位 ARM® Cortex®-M0 内核
 - 24 位系统定时器
 - 工作频率最高 72MHz
 - 硬件单周期乘法
 - 集成嵌套向量中断控制器 (NVIC)
 - 通过 SWD 接口仿真及烧录
- 内置 LDO
 - 供电电压范围 2.2V 至 5.5V
- SRAM 存储器
 - 8KB
- FLASH 存储器
 - 128KB
 - 支持向量表重映射功能
 - 支持 CACHE 单周期取指
 - 支持 ISP (在系统编程) 更新用户程序
 - 支持自定义 BOOT 程序
- DMA
 - 2 通道 DMA 控制器
 - 支持的外设: UART, USART, SPI, QSPI, SARADC, 和 MPU
- 串行接口
 - UART*2, 具有独立 8 字节 FIFO, 最高支持主时钟 16 分频
 - USART*1, 支持 LIN 协议
 - I2C*1, 支持 7 位、10 位地址方式, 支持 master/slave 模式
 - SPI*1, 支持标准 SPI、SSI、支持 Master/Slave
 - QSPI*1, 支持四线 FLASH 读写与 QSPI 屏操作
 - CAN*1, 支持协议 2.0A (11 位标识符) 和 2.0B (29 位标识符)
- PWM 控制模块
 - 2 组独立 4 通道 16 位 PWM 产生器, 每个通道均可扩展为具备死区的互补模式
 - 提供高电平结束或周期开始触发中断
 - 具有普通、互补、中心对称等多种输出模式, 支持移相、挖坑等
 - 死区控制
 - 支持多点触发 ADC 模块
 - 支持方波换相处理
- 定时器模块

- 3 路 32 位（24 位计数器+8 位预分频）加强定时器
 - ◆ 具备独立中断
 - ◆ 支持计数器、捕获、脉冲发送等功能
 - ◆ 单通道发送 PWM
 - ◆ 支持 HALL 接口
- 4 路 32 位（24 位计数器+8 位预分频）基础定时器
 - ◆ 具备独立中断
 - ◆ 每个具备独立 8 位分频
 - ◆ 支持脉冲输出功能
 - ◆ 单通道发送 PWM
- 时钟独立的 16 位 WDT 看门狗定时器，溢出后可配置触发中断或复位芯片
- QEI 旋转编码器模块
 - 可编程输入信号毛刺滤波
 - 16 位向上/向下计数器
 - 提供脉冲计数和计数方向的正交解码器
 - 索引复位/计数匹配复位模式
 - A 相和 B 相输入的交换模式
- 支持 MPU 接口
 - 8 位数据接口位宽
 - 接口时序可调
 - 输出时钟可配置为空闲时关闭
 - 通过 MCU 或者 DMA 工作
- GPIO
 - 最多可达 36 个 GPIO
 - 可配置 4 种 IO 模式
 - ◆ 上拉输入
 - ◆ 下拉输入
 - ◆ 推挽输出
 - ◆ 开漏输出
 - 灵活的中断配置
 - ◆ 触发类型设置（边沿检测、电平检测）
 - ◆ 触发电平设置（高电平、低电平）
 - ◆ 触发边沿设置（上升沿、下降沿、双边沿）

- 模拟外设
 - SAR ADC*2
 - ◆ 12 位高精度，采样率高达 1MSPS，每个 ADC 支持 10 通道
 - ◆ 支持 2.4V/3.6V/4.5V 基准
 - ◆ 支持 single/scan 两种模式
 - ◆ 独立结果寄存器
 - ◆ 提供独立 FIFO
 - ◆ 可由软件/PWM/TIMER 触发
 - ◆ 温度传感器
 - OPA*3
 - ◆ PGA 模式支持 1/5/10/20 倍放大
 - ◆ 输出电阻设置
 - ◆ 输出可直接或通过 buffer 进入 ADC 通道
 - ◆ 支持内置输出偏置：1.2，1.8，2.25V，或(VREF_ADC/2)
 - CMP*2
 - ◆ 迟滞设置：无，10mV，20mV，或 50mV
 - ◆ 内置 1 路 8 位 DAC，负端可直接使用 DAC 参考输出
 - ◆ 正端可以选择接 PGA 正端, PGA 输出，或外部输入
 - ◆ 负端可以选择接 DAC 输出，或外部输入
 - ◆ 正端星形连接，三端电阻分压输入
 - ◆ 输出数字滤波
- 可编程电压检测(PVD)
 - 支持多级电压检测中断触发
- 可编程低电压复位(LVR)
 - 支持多级低电压复位设置
- 时钟源
 - 8MHz 精度可达 1%的片内时钟源
 - 内置 PLL，最高可输出 72MHz 时钟
 - 32KHz 片内时钟源
 - 8~24MHz 片外高频晶振
- DIV

- 支持 32 位整数除法运算及求余运算
- 支持 32 位开方运算，支持小数位
- 除法单次运算最多耗时 32 个时钟，开方单次运算耗时 16/32 个时钟
- 支持有符号数和无符号数运算
- 3P3N GATE DRIVER
 - 电源电压输入范围：6V-36V
 - 5V/50mA LDO 输出
 - 集成死区时间：60ns (TYP)
- 6N GATE DRIVER(SWM21DD8U7)
 - 悬浮绝对电压+500V
 - 电源电压工作范围 8V-20V
 - 输出电流+0.6A/-1.2A (TYP)
 - 死区时间 50ns (TYP)
- 其他
 - 128 位 独立 ID
- 环境
 - 工作温度：-40°C~105°C
 - 保存温度：-50°C~150°C
 - 湿度等级：MSL3
- 封装
 - QFN32
 - LQFP48
 - SSOP24
 - QFN40
 - SSOP28
 - QFN37
- 应用范围
 - 仪器仪表, 工业控制, 电机驱动, 白色家电, 可穿戴设备

3. 选型指南

表格 3-1 SWM221 系列 MCU 选型表

Peripherals	SWM221CBT7-50	SWM221EBS7-63	SWM221KBU7-50	SWM221GBS7-65	SWM221DBU7-40
Voltage (V)	2.2~5.5				
Flash (KB)	128				
SRAM (KB)	8				
I/O	36	20	27	24	37
Timer	3+4	3+1	3+3	3+3	3+4
PWM	8				
DMA	2				
SAR ADC	2(15)	2(10)	2(11)	2(8)	2(14)
UART	2	1	2		
USART	1				
I2C	1				
SPI	1				
QSPI	1				
CAN	1				
MPU	1	/			1
OPA	3			2	3
QEI	1				
WDT	1				
CMP	2				
CRC	1				
DIV	1				
Package	LQFP48	SSOP24	QFN32	SSOP28	QFN40

表格 3-2 SWM221 合封系列 MCU 选型表

Peripherals	SWM22PE8S7-63	SWM22DD8U7-40	SWM22PG8S7-65	SWM22DC8U7-50	SWM22DK8U7-50
Voltage (V)	2.2~5.5				
Flash (KB)	64				
SRAM (KB)	8				
Pre-Driver	3P3N	6N	3P3N	6N	6N
I/O	13	21	15	17	12
Timer	3	3	3+1	3+2	2+3
PWM	8 ¹				6 ¹
DMA	2				
SAR ADC	2(9)	2(11)	2(9)	2(9)	2(8)
UART	2				
USART	1				
I2C	1				
SPI	1				
QSPI	1				
CAN	1				/
OPA	3		2	3	2
QEI	1				
WDT	1				
CMP	2				
CRC	1				
DIV	1				
Package	SSOP24	QFN40	SSOP28	QFN37	QFN32

¹ 在合封芯片中，部分 PWM 为内部连接，详情见表格 7-1、表 8-2

4. 系统架构

4.1 系统架构

SWM221 系统架构如图 4-1 所示。系统总线具有：

- 3 个主控总线
 - Cortex M0 内核
 - DMA1
 - DMA2
- 5 个被控总线
 - ROM Code（系统启动代码）
 - Flash 接口
 - SRAM 接口
 - AHB 总线
 - APB 总线

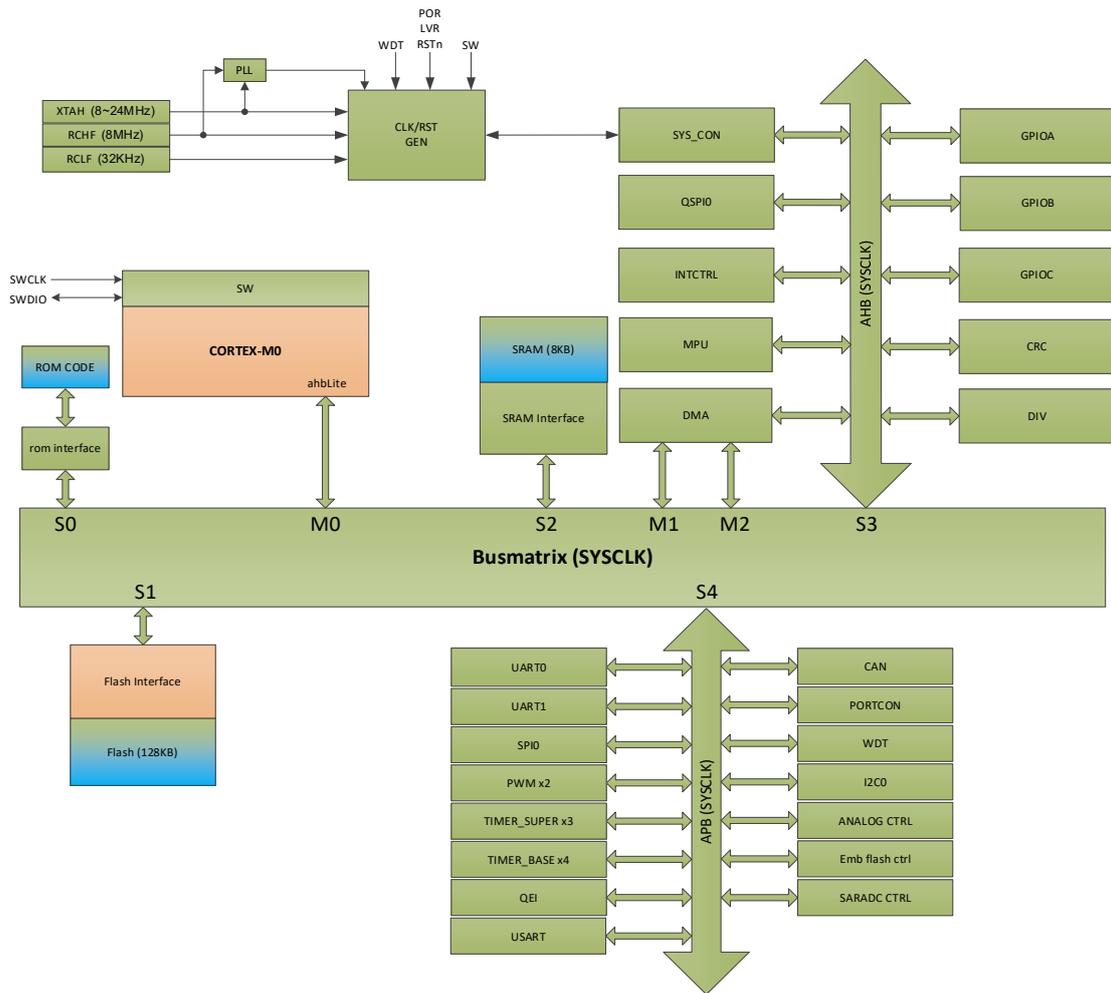


图 4-1 功能方框图

4.2 总线矩阵

借助总线矩阵，可以实现主控总线到被控总线的访问，这样即使在多个高速外设同时运行期间，系统也可以实现并发访问和高效运行。此架构如图 4-2 所示。

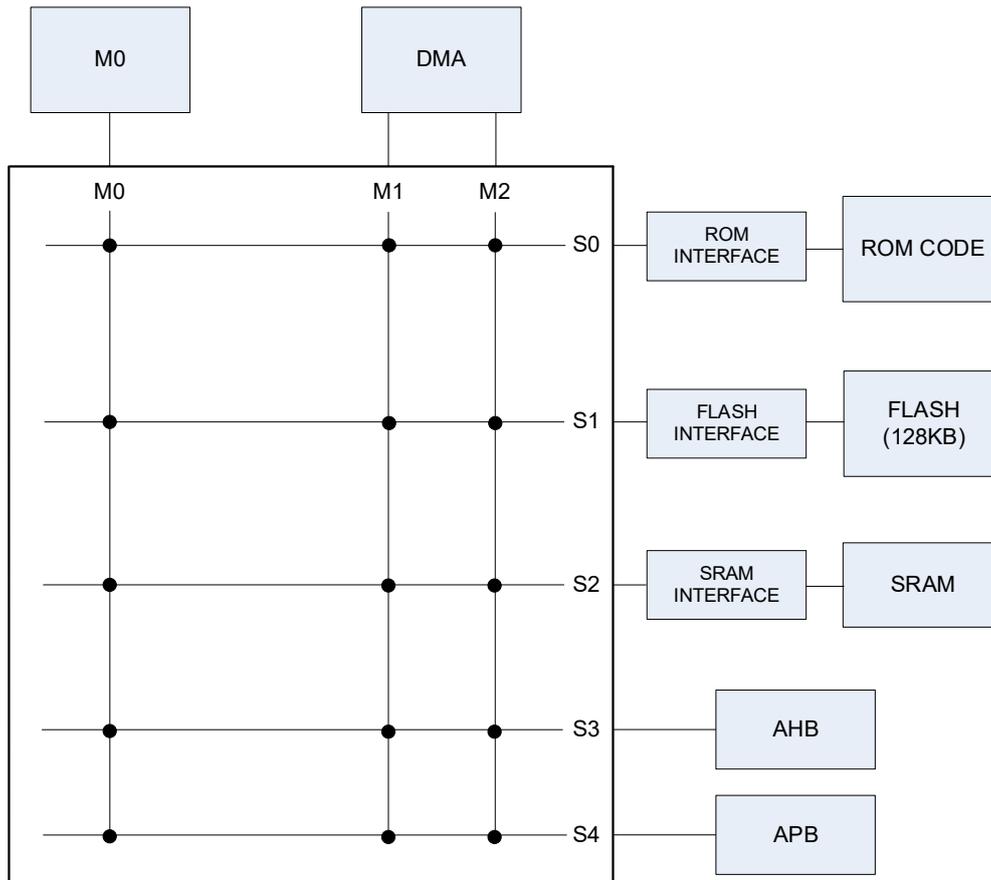


图 4-2 总线矩阵

4.3 系统电源概述

SWM221 系列芯片工作电压要求介于 2.2V 到 5.5V 之间。系统电源架构如图 4-3 所示。

VDDIO 提供 IO 电源。电源地 VSS 和 VSSIO 芯片内部短接。

模拟电路电源通过 VDDA 引脚输入，提供电源给 PLL, HRC, LRC, ADC, DAC, PGA, CMP, POR, LVR 以及 PVD，并通过芯片内嵌线性稳压器（LDO）来为内部数字电源提供 1.5V 电源。

在芯片只有 VDD 引脚情况下，则 VDDIO 和 VDDA 内部短接。

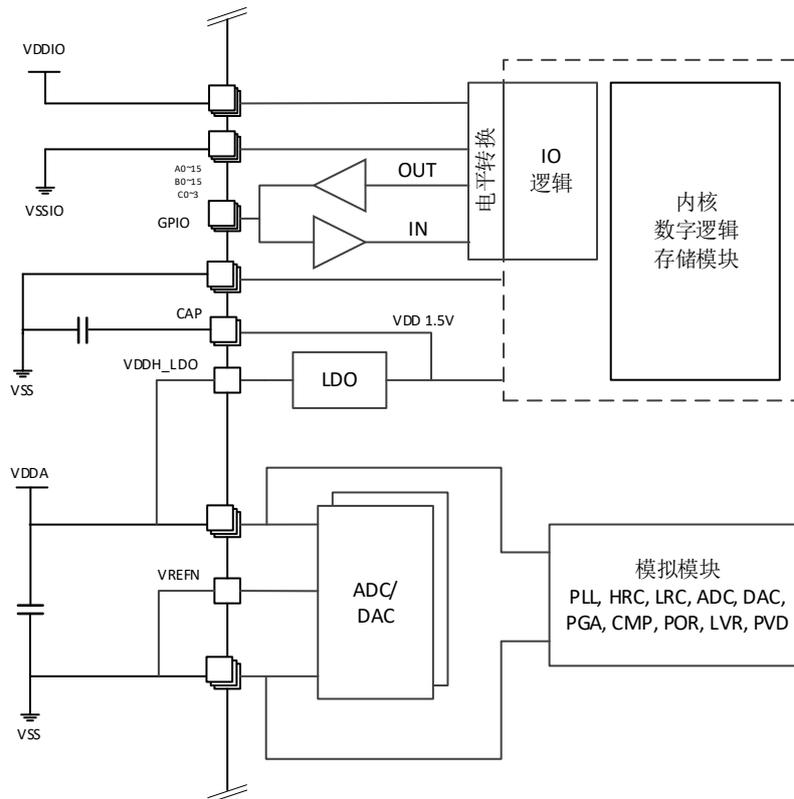


图 4-3 系统电源架构

5. 管脚配置

5.1 SWM221CBT7

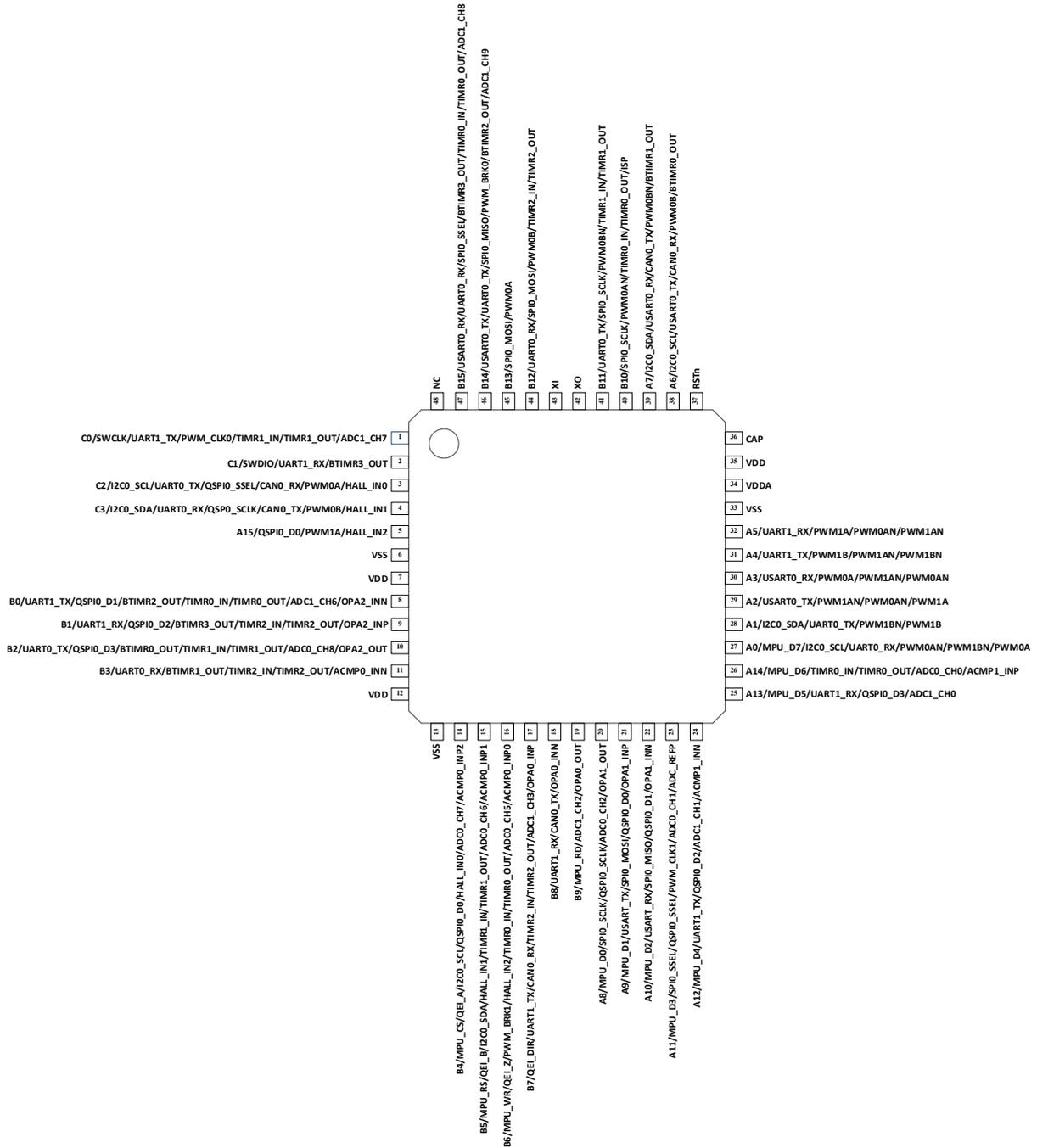


图 5-1 SWM221CBT7 封装管脚配置图

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
CBT7				
1	C0	I/O	PC0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
2	C1	I/O	PC1	SWDIO, UART1_RX, BTIMR3_OUT
3	C2	I/O	PC2	I2C0_SCL, UART0_TX, QSPI0_SSEL, CAN0_RX, PWM0A, HALL_IN0
4	C3	I/O	PC3	I2C0_SDA, UART0_RX, QSP0_SCLK, CAN0_TX, PWM0B, HALL_IN1
5	A15	I/O	A15	QSPI0_D0, PWM1A, HALL_IN2
6	VSS	S	/	接地
7	VDD	S	/	电源
8	B0	I/O	PB0	UART1_TX, QSPI0_D1, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN
9	B1	I/O	PB1	UART1_RX, QSPI0_D2, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
10	B2	I/O	PB2	UART0_TX, QSPI0_D3, BTIMR0_OUT, TIMR1_IN, TIMR1_OUT, ADC0_CH8, OPA2_OUT
11	B3	I/O	PB3	UART0_RX, BTIMR1_OUT, TIMR2_IN, TIMR2_OUT, ACMPO_INN
12	VDD	S	/	电源
13	VSS	S	/	接地
14	B4	I/O	PB4	MPU_CS, QEI_A, I2C0_SCL, QSPI0_D0, HALL_IN0, ADC0_CH7, ACMPO_INP2 *** 此管脚带数字滤波功能
15	B5	I/O	PB5	MPU_RS, QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMPO_INP1 *** 此管脚带数字滤波功能
16	B6	I/O	PB6	MPU_WR, QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMPO_INP0 *** 此管脚带数字滤波功能
17	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
18	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
19	B9	I/O	PB9	MPU_RD, ADC1_CH2, OPA0_OUT
20	A8	I/O	PA8	MPU_D0, SPI0_SCLK, QSPI0_SCLK, ADC0_CH2, OPA1_OUT
21	A9	I/O	PA9	MPU_D1, USART0_TX, SPI0_MOSI, QSPI0_D0, OPA1_INP

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
CBT7				
22	A10	I/O	PA10	MPU_D2, USART0_RX, SPI0_MISO, QSPI0_D1, OPA1_INN
23	A11	I/O	PA11	MPU_D3, SPI0_SSEL, QSPI0_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
24	A12	I/O	PA12	MPU_D4, UART1_TX, QSPI0_D2, ADC1_CH1, ACMP1_INN
25	A13	I/O	PA13	MPU_D5, UART1_RX, QSPI0_D3, ADC1_CH0
26	A14	I/O	PA14	MPU_D6, TIMRO_IN, TIMRO_OUT, ADC0_CH0, ACMP1_INP
27	A0	I/O	PA0	MPU_D7, I2CO_SCL, UART0_RX, PWM0AN, PWM1BN, PWM0A
28	A1	I/O	PA1	I2CO_SDA, UART0_TX, PWM1BN, PWM1B
29	A2	I/O	PA2	USART0_TX, PWM1AN, PWM0AN, PWM1A
30	A3	I/O	PA3	USART0_RX, PWM0A, PWM1AN, PWM0AN
31	A4	I/O	PA4	UART1_TX, PWM1B, PWM1AN, PWM1BN
32	A5	I/O	PA5	UART1_RX, PWM1A, PWM0AN, PWM1AN
33	VSS	S	/	接地
34	VDDA	S	/	模拟模块电源
35	VDD	S	/	电源
36	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
37	RSTn	I	RSTn	芯片复位功能引脚, 低电平复位
38	A6	I/O	PA6	I2CO_SCL, USART0_TX, CAN0_RX, PWM0B, BTIMR0_OUT
39	A7	I/O	PA7	I2CO_SDA, USART0_RX, CAN0_TX, PWM0BN, BTIMR1_OUT
40	B10	I/O	PB10	UART1_TX, UART1_RX, SPI0_SCLK, PWM0AN, TIMRO_IN, TIMRO_OUT, ISP
41	B11	I/O	PB11	UART0TX, SPI0_SCLK, PWM0BN, TIMR1_IN, TIMR1_OUT
42	XO	I/O	XO	高频晶体振荡器输出
43	XI	I/O	XI	高频晶体振荡器输入
44	B12	I/O	PB12	UART0_RX, SPI0_MOSI, PWM0B, TIMR2_IN, TIMR2_OUT
45	B13	I/O	PB13	SPI0_MOSI, PWM0A
46	B14	I/O	PB14	USART0_TX, UART0_TX, SPI0_MISO, PWM_BRK0, BTIMR2_OUT, ADC1_CH9

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
CBT7				
				*** 此管脚带数字滤波功能
47	B15	I/O	PB15	USART0_RX, UART0_RX, SPI0_SSEL, BTIMR3_OUT, TIMRO_IN, TIMRO_OUT, ADC1_CH8
48	NC	/	/	悬空

5.2 SWM221EBS7

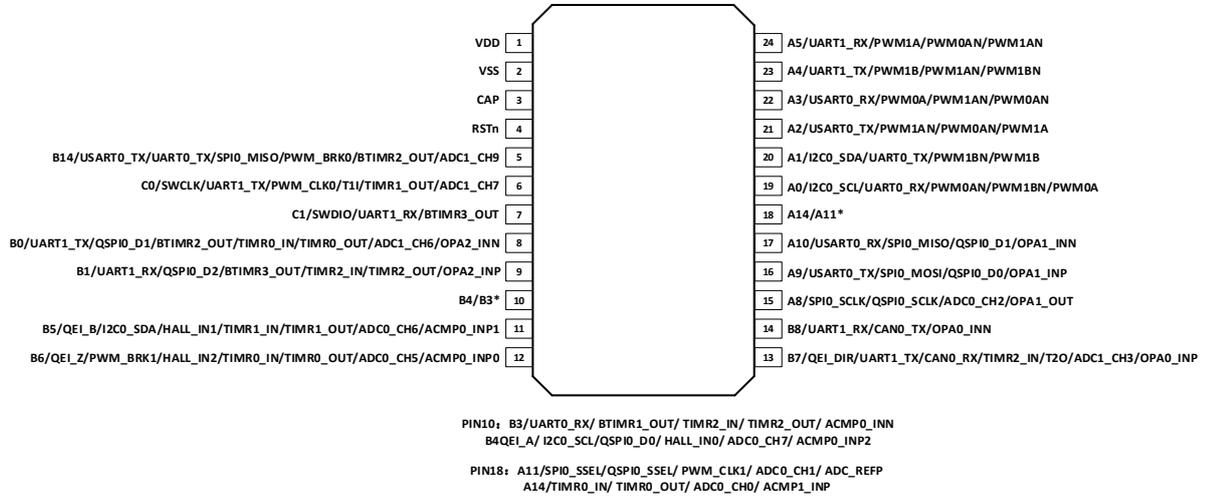


图 5-2 SWM221EBS7 封装管脚配置图

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
EBS7				
1	VDD	S	/	电源
2	VSS	S	/	接地
3	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
4	RSTn	I	RSTn	芯片复位功能引脚, 低电平复位
5	B14	I/O	PB14	USART0_TX, UART0_TX, SPI0_MISO, PWM_BRK0, BTIMR2_OUT, ADC1_CH9 *** 此管脚带数字滤波功能
6	C0	I/O	PC0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
7	C1	I/O	PC1	SWDIO, UART1_RX, BTIMR3_OUT
8	B0	I/O	PB0	UART1_TX, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN
9	B1	I/O	PB1	UART1_RX, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
10	B3	I/O	PB3	UART0_RX, BTIMR1_OUT, TIMR2_IN, TIMR2_OUT, ACMP0_INN
	B4	I/O	PB4	QEI_A, I2C0_SCL, QSPI0_D0, HALL_IN0, ADC0_CH7, ACMP0_INP2 *** 此管脚带数字滤波功能

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
EBS7				
11	B5	I/O	PB5	QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMP0_INP1 *** 此管脚带数字滤波功能
12	B6	I/O	PB6	QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMP0_INP0 *** 此管脚带数字滤波功能
13	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
14	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
15	A8	I/O	PA8	SPIO_SCLK, QSPI0_SCLK, ADC0_CH2, OPA1_OUT
16	A9	I/O	PA9	USART0_TX, SPIO_MOSI, QSPI0_D0, OPA1_INP
17	A10	I/O	PA10	USART0_RX, SPIO_MISO, QSPI0_D1, OPA1_INN
18	A11	I/O	PA11	SPIO_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
	A14	I/O	PA14	TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMP1_INP
19	A0	I/O	PA0	I2C0_SCL, UART0_RX, PWM0AN, PWM1BN, PWM0A
20	A1	I/O	PA1	I2C0_SDA, UART0_TX, PWM1BN, PWM1B
21	A2	I/O	PA2	USART0_TX, PWM1AN, PWM0AN, PWM1A
22	A3	I/O	PA3	USART0_RX, PWM0A, PWM1AN, PWM0AN
23	A4	I/O	PA4	UART1_TX, PWM1B, PWM1AN, PWM1BN
24	A5	I/O	PA5	UART1_RX, PWM1A, PWM0AN, PWM1AN

5.3 SWM221KBU7

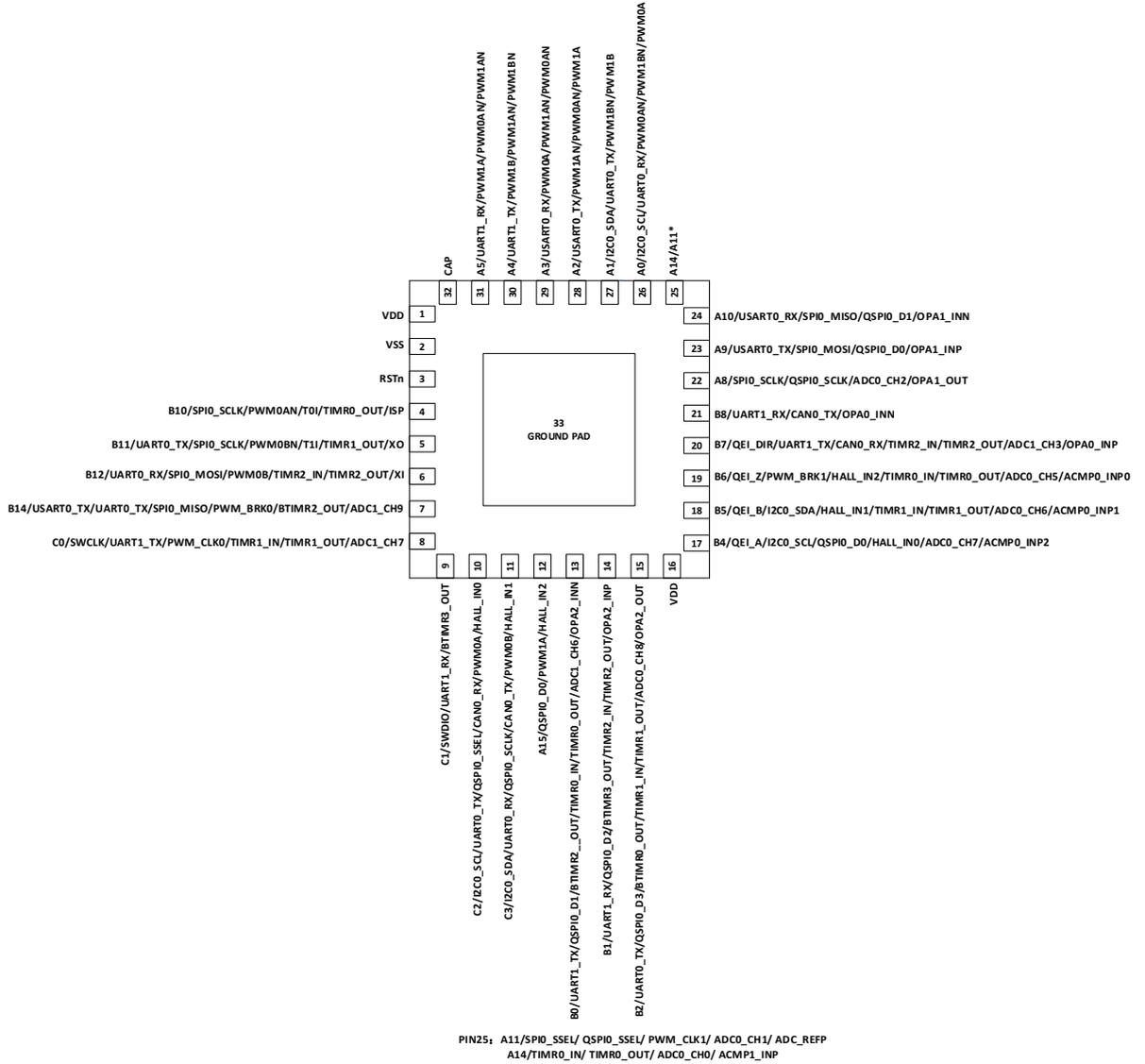


图 5-3 SWM221KBU7 封装管脚配置图²

² 禁止使用 B11 引脚做输入

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
KBU7				
1	VDD	S	/	电源
2	VSS	S	/	接地
3	RSTn	I	RSTn	芯片复位功能引脚，低电平复位
4	B10	I/O	PB10	UART1_TX, UART1_RX, SPI0_SCLK, PWM0AN, TIMR0_IN, TIMR0_OUT, ISP
5	B11	I/O	PB11	UART0TX, SPI0_SCLK, PWM0BN, TIMR1_IN, TIMR1_OUT, XO
6	B12	I/O	PB12	UART0_RX, SPI0_MOSI, PWM0B, TIMR2_IN, TIMR2_OUT, XI
7	B14	I/O	PB14	USART0_TX, UART0_TX, SPI0_MISO, PWM_BRK0, BTIMR2_OUT, ADC1_CH9 *** 此管脚带数字滤波功能
8	C0	I/O	PC0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
9	C1	I/O	PC1	SWDIO, UART1_RX, BTIMR3_OUT
10	C2	I/O	PC2	I2C0_SCL, UART0_TX, QSPI0_SSEL, CAN0_RX, PWM0A, HALL_IN0
11	C3	I/O	PC3	I2C0_SDA, UART0_RX, QSP0_SCLK, CAN0_TX, PWM0B, HALL_IN1
12	A15	I/O	A15	QSPI0_D0, PWM1A, HALL_IN2
13	B0	I/O	PB0	UART1_TX, QSPI0_D1, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN
14	B1	I/O	PB1	UART1_RX, QSPI0_D2, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
15	B2	I/O	PB2	UART0_TX, QSPI0_D3, BTIMR0_OUT, TIMR1_IN, TIMR1_OUT, ADC0_CH8, OPA2_OUT
16	VDD	S	/	电源
17	B4	I/O	PB4	QEI_A, I2C0_SCL, QSPI0_D0, HALL_IN0, ADC0_CH7, ACMP0_INP2 *** 此管脚带数字滤波功能
18	B5	I/O	PB5	QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMP0_INP1 *** 此管脚带数字滤波功能
19	B6	I/O	PB6	QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMP0_INP0 *** 此管脚带数字滤波功能
20	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
KBU7				
21	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
22	A8	I/O	PA8	SPI0_SCLK, QSPI0_SCLK, ADC0_CH2, OPA1_OUT
23	A9	I/O	PA9	USART0_TX, SPI0_MOSI, QSPI0_D0, OPA1_INP
24	A10	I/O	PA10	USART0_RX, SPI0_MISO, QSPI0_D1, OPA1_INN
25	A11	I/O	PA11	SPI0_SSEL, QSPI0_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
	A14	I/O	PA14	TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMP1_INP
26	A0	I/O	PA0	I2C0_SCL, UART0_RX, PWM0AN, PWM1BN, PWM0A
27	A1	I/O	PA1	I2C0_SDA, UART0_TX, PWM1BN, PWM1B
28	A2	I/O	A2	USART0_TX, PWM1AN, PWM0AN, PWM1A
29	A3	I/O	PA3	USART0_RX, PWM0A, PWM1AN, PWM0AN
30	A4	I/O	PA4	UART1_TX, PWM1B, PWM1AN, PWM1BN
31	A5	I/O	PA5	UART1_RX, PWM1A, PWM0AN, PWM1AN
32	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容

5.4 SWM22PE8S7

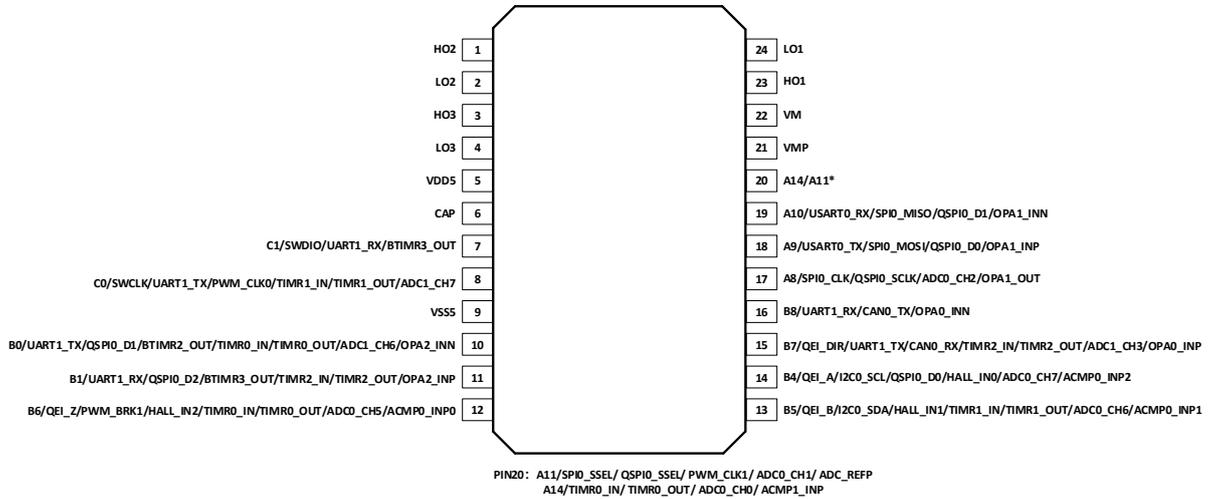


图 5-4 SWM22PE8S7 封装管脚配置图

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
PE8S7				
1	HO2	AO	HO2	高侧输出 2
2	LO2	AO	LO2	低侧输出 2
3	HO3	AO	HO3	高侧输出 3
4	LO3	AO	LO3	低侧输出 3
5	VDD	S	/	电源
6	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
7	C1	I/O	PC1	SWDIO, UART1_RX, BTIMR3_OUT
8	C0	I/O	PC0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
9	VSS	S	/	接地
10	B0	I/O	PB0	UART1_TX, QSPI0_D1, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN
11	B1	I/O	PB1	UART1_RX, QSPI0_D2, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
12	B6	I/O	PB6	QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMP0_INP0 *** 此管脚带数字滤波功能

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
PE8S7				
13	B5	I/O	PB5	QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMPO_INP1 *** 此管脚带数字滤波功能
14	B4	I/O	PB4	QEI_A, I2C0_SCL, QSPIO_D0, HALL_IN0, ADC0_CH7, ACMPO_INP2 *** 此管脚带数字滤波功能
15	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
16	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
17	A8	I/O	PA8	SPIO_SCLK, QSPIO_SCLK, ADC0_CH2, OPA1_OUT
18	A9	I/O	PA9	USART0_TX, SPIO_MOSI, QSPIO_D0, OPA1_INP
19	A10	I/O	PA10	USART0_RX, SPIO_MISO, QSPIO_D1, OPA1_INN
20	A11	I/O	PA11	SPIO_SSEL, QSPIO_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
20	A14	I/O	PA14	TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMPO_INP
21	VMP	S	/	预驱内置 LDO 电源供电脚
22	VM	S	/	预驱电源供电脚
23	HO1	AO	HO1	高侧输出 1
24	LO1	AO	LO1	低侧输出 1

5.5 SWM22DD8U7

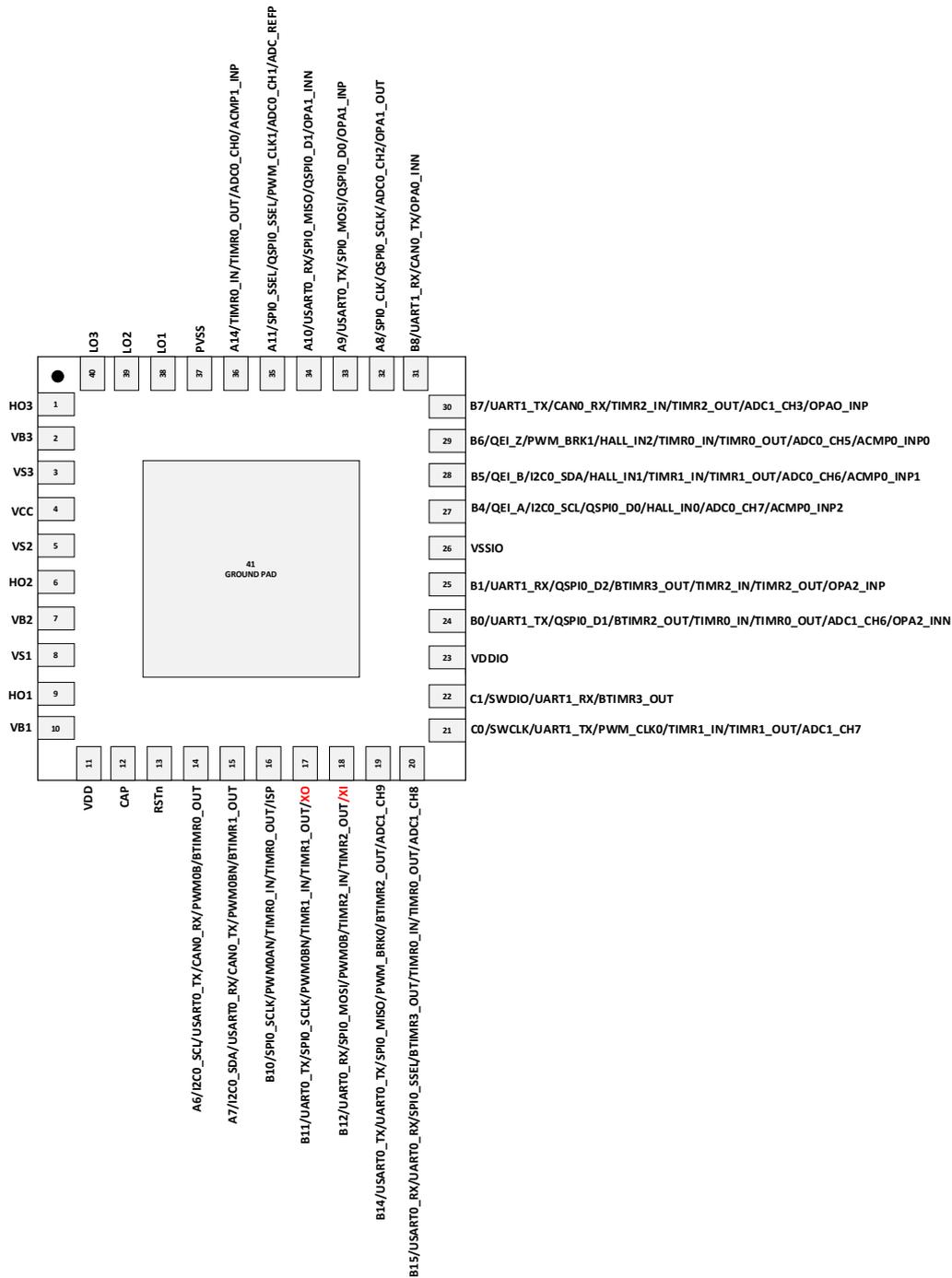


图 5-5 SWM22DD8U7 封装管脚配置图³

³ 禁止使用 B11 引脚做输入

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DD8U7				
1	HO3	AO	HO3	高侧输出 3
2	VB3	S	VB3	高端悬浮电源
3	VS3	S	VS3	高端悬浮地
4	PVDD	S	PVDD	预驱模拟电源
5	VS2	S	VS2	高端悬浮地
6	HO2	AO	HO2	高侧输出 2
7	VB2	S	VB2	高端悬浮电源
8	VS1	S	VS1	高端悬浮地
9	HO1	AO	HO1	高侧输出 1
10	VB1	S	VB1	高端悬浮电源
11	VDD	S	/	电源
12	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
13	RSTn	I	RSTn	芯片复位功能引脚, 低电平复位
14	A6	I/O	A6	I2C0_SCL, USART0_TX, CAN0_RX, PWM0B, BTIMR0_OUT O
15	A7	I/O	A7	I2C0_SDA, USART0_RX, CAN0_TX, PWM0BN, BTIMR1_OUT
16	B10	I/O	B10	UART1_TX, UART1_RX, SPI0_SCLK, PWM0AN, TIMR0_IN, TIMR0_OUT, ISP
17	B11	I/O	B11	UART0TX, SPI0_SCLK, PWM0BN, TIMR1_IN, TIMR1_OUT,XO
18	B12	I/O	B12	UART0_RX, SPI0_MOSI, PWM0B, TIMR2_IN, TIMR2_OUT,XI
19	B14	I/O	B14	USART0_TX, UART0_TX, SPI0_MISO, PWM_BRK0, BTIMR2_OUT, ADC1_CH9 *** 此管脚带数字滤波功能
20	B15	I/O	B15	USART0_RX, UART0_RX, SPI0_SSEL, BTIMR3_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH8
21	C0	I/O	C0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
22	C1	I/O	C1	SWDIO, UART1_RX, BTIMR3_OUT
23	VDDIO	S	/	IO 电源, 接 VDD
24	B0	I/O	B0	UART1_TX, QSPI0_D1, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DD8U7				
25	B1	I/O	B1	UART1_RX, QSPIO_D2, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
26	VSS	S	/	接地
27	B4	I/O	B4	QEI_A, I2C0_SCL, QSPIO_D0, HALL_IN0, ADC0_CH7, ACMP0_INP2 *** 此管脚带数字滤波功能
28	B5	I/O	B5	QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMP0_INP1 *** 此管脚带数字滤波功能
29	B6	I/O	B6	QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMP0_INP0 *** 此管脚带数字滤波功能
30	B7	I/O	B7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
31	B8	I/O	B8	UART1_RX, CAN0_TX, OPA0_INN
32	A8	I/O	A8	SPIO_SCLK, QSPIO_SCLK, ADC0_CH2, OPA1_OUT
33	A9	I/O	A9	USART0_TX, SPIO_MOSI, QSPIO_D0, OPA1_INP
34	A10	I/O	A10	USART0_RX, SPIO_MISO, QSPIO_D1, OPA1_INN
35	A11	I/O	A11	SPIO_SSEL, QSPIO_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
36	A14	I/O	A14	TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMP1_INP
37	PVSS	S	/	预驱模拟电源地
38	LO1	AO	LO1	低侧输出 1
39	LO2	AO	LO2	低侧输出 2
40	LO3	AO	LO3	低侧输出 3

5.6 SWM22PG8S7

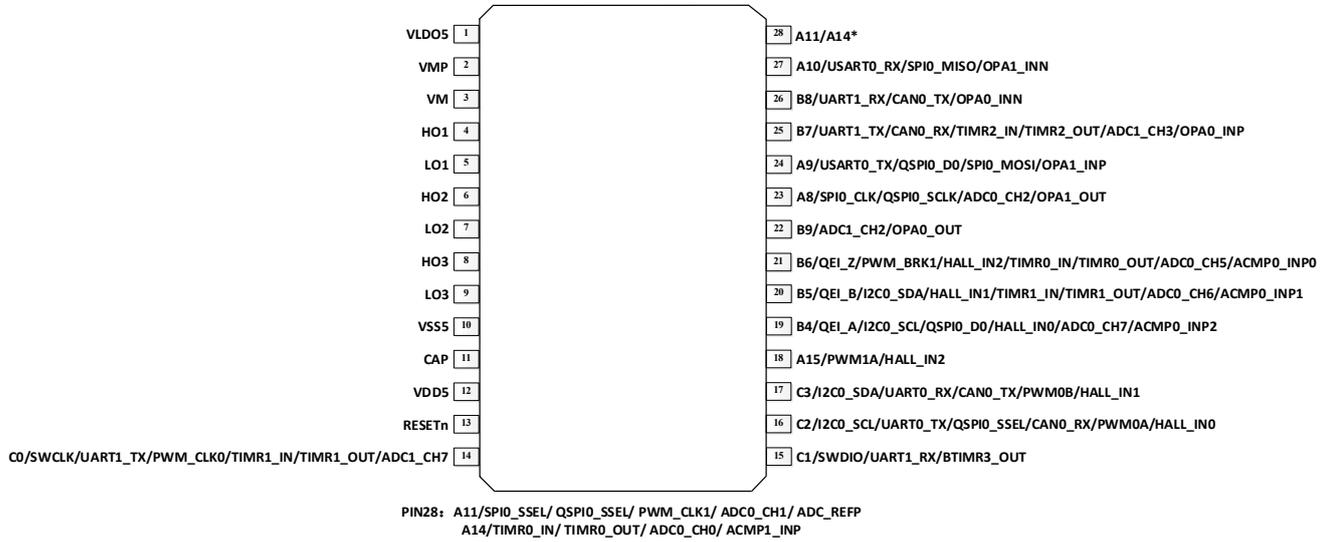


图 5-6 SWM22PG8S7 封装管脚配置图

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
PG8S7				
1	VLD05	S	/	预驱 LDO 5V 输出脚
2	VMP	S	/	预驱内置 LDO 电源供电脚
3	VM	S	/	预驱电源供电脚
4	HO1	AO	HO1	高侧输出 1
5	LO1	AO	LO1	低侧输出 1
6	HO2	AO	HO2	高侧输出 2
7	LO2	AO	LO2	低侧输出 2
8	HO3	AO	HO3	高侧输出 3
9	LO3	AO	LO3	低侧输出 3
10	VSS5	S	/	接地
11	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
12	VDD5	S	/	电源
13	RSTn	I	RSTn	芯片复位功能引脚, 低电平复位

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
PG8S7				
14	C0	I/O	C0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
15	C1	I/O	C1	SWDIO, UART1_RX, BTIMR3_OUT
16	C2	I/O	PC2	I2C0_SCL, UART0_TX, QSPIO_SSEL, CAN0_RX, PWM0A, HALL_IN0
17	C3	I/O	PC3	I2C0_SDA, UART0_RX, CAN0_TX, PWM0B, HALL_IN1
18	A15	I/O	A15	PWM1A, HALL_IN2
19	B4	I/O	PB4	QEI_A, I2C0_SCL, QSPIO_D0, HALL_IN0, ADC0_CH7, ACMP0_INP2 *** 此管脚带数字滤波功能
20	B5	I/O	PB5	QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMP0_INP1 *** 此管脚带数字滤波功能
21	B6	I/O	PB6	QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMP0_INP0 *** 此管脚带数字滤波功能
22	B9	I/O	PB9	ADC1_CH2, OPA0_OUT
23	A8	I/O	PA8	SPIO_SCLK, QSPIO_SCLK, ADC0_CH2, OPA1_OUT
24	A9	I/O	PA9	USART0_TX, SPIO_MOSI, QSPIO_D0, OPA1_INP
25	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
26	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
27	B10	I/O	PB10	UART1_TX, UART1_RX, SPIO_SCLK, PWM0AN, TIMR0_IN, TIMR0_OUT, ISP
28	A11	I/O	PA11	SPIO_SSEL, QSPIO_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
28	A14	I/O	PA14	TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMP1_INP

5.7 SWM221GBS7

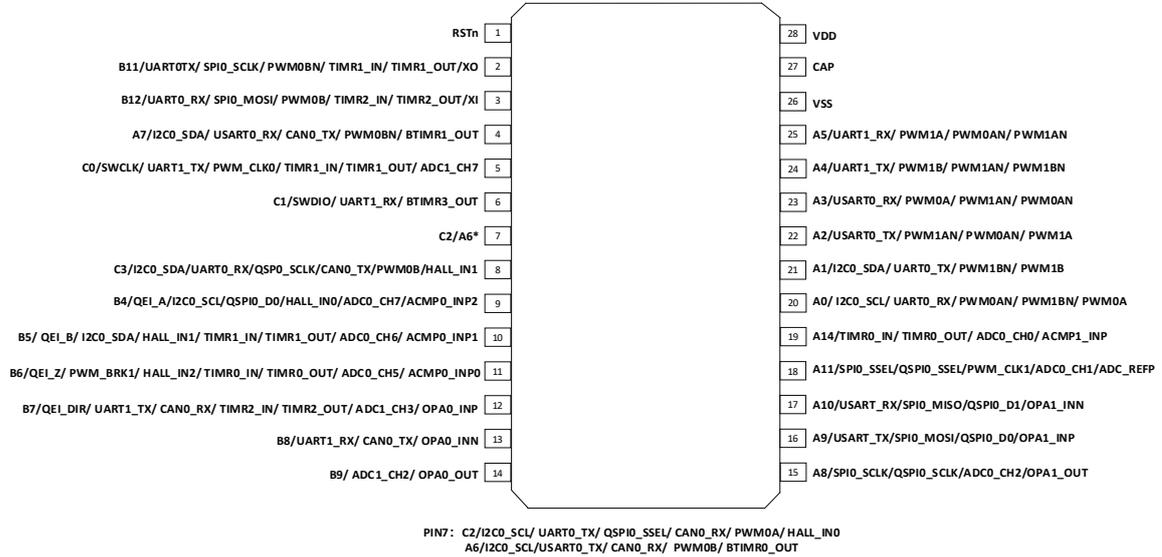


图 5-7 SWM221GBS7 封装管脚配置图⁴

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
1GBS7				
1	RSTn	I	RSTn	芯片复位功能引脚，低电平复位
2	B11	I/O	PB11	UART0TX, SPI0_SCLK, PWM0BN, TIMR1_IN, TIMR1_OUT, XO
3	B12	I/O	PB12	UART0_RX, SPI0_MOSI, PWM0B, TIMR2_IN, TIMR2_OUT, XI
4	A7	I/O	PA7	I2C0_SDA, USART0_RX, CAN0_TX, PWM0BN, BTIMR1_OUT
5	C0	I/O	C0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
6	C1	I/O	C1	SWDIO, UART1_RX, BTIMR3_OUT
7	C2	I/O	PC2	I2C0_SCL, UART0_TX, QSPI0_SSEL, CAN0_RX, PWM0A, HALL_IN0
	A6	I/O	PA6	I2C0_SCL, USART0_TX, CAN0_RX, PWM0B, BTIMR0_OUT
8	C3	I/O	PC3	I2C0_SDA, UART0_RX, QSPI0_SCLK, CAN0_TX, PWM0B, HALL_IN1
9	B4	I/O	PB4	QEI_A, I2C0_SCL, QSPI0_D0, HALL_IN0, ADC0_CH7, ACMP0_INP2 *** 此管脚带数字滤波功能

⁴ 禁止使用 B11 引脚做输入

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
1GBS7				
10	B5	I/O	PB5	QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMPO_INP1 <i>*** 此管脚带数字滤波功能</i>
11	B6	I/O	PB6	QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMPO_INP0 <i>*** 此管脚带数字滤波功能</i>
12	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
13	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
14	B9	I/O	PB9	ADC1_CH2, OPA0_OUT
15	A8	I/O	PA8	SPIO_SCLK, QSPI0_SCLK, ADC0_CH2, OPA1_OUT
16	A9	I/O	PA9	USART0_TX, SPIO_MOSI, QSPI0_D0, OPA1_INP
17	A10	I/O	PA10	USART0_RX, SPIO_MISO, QSPI0_D1, OPA1_INN
18	A11	I/O	PA11	SPIO_SSEL, QSPI0_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
19	A14	I/O	PA14	TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMP1_INP
20	A0	I/O	PA0	I2C0_SCL, UART0_RX, PWM0AN, PWM1BN, PWM0A
21	A1	I/O	PA1	I2C0_SDA, UART0_TX, PWM1BN, PWM1B
22	A2	I/O	PA2	USART0_TX, PWM1AN, PWM0AN, PWM1A
23	A3	I/O	PA3	USART0_RX, PWM0A, PWM1AN, PWM0AN
24	A4	I/O	PA4	UART1_TX, PWM1B, PWM1AN, PWM1BN
25	A5	I/O	PA5	UART1_RX, PWM1A, PWM0AN, PWM1AN
26	VSS	S	/	接地
27	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
28	VDD	S	/	电源

5.8 SWM22DC8U7

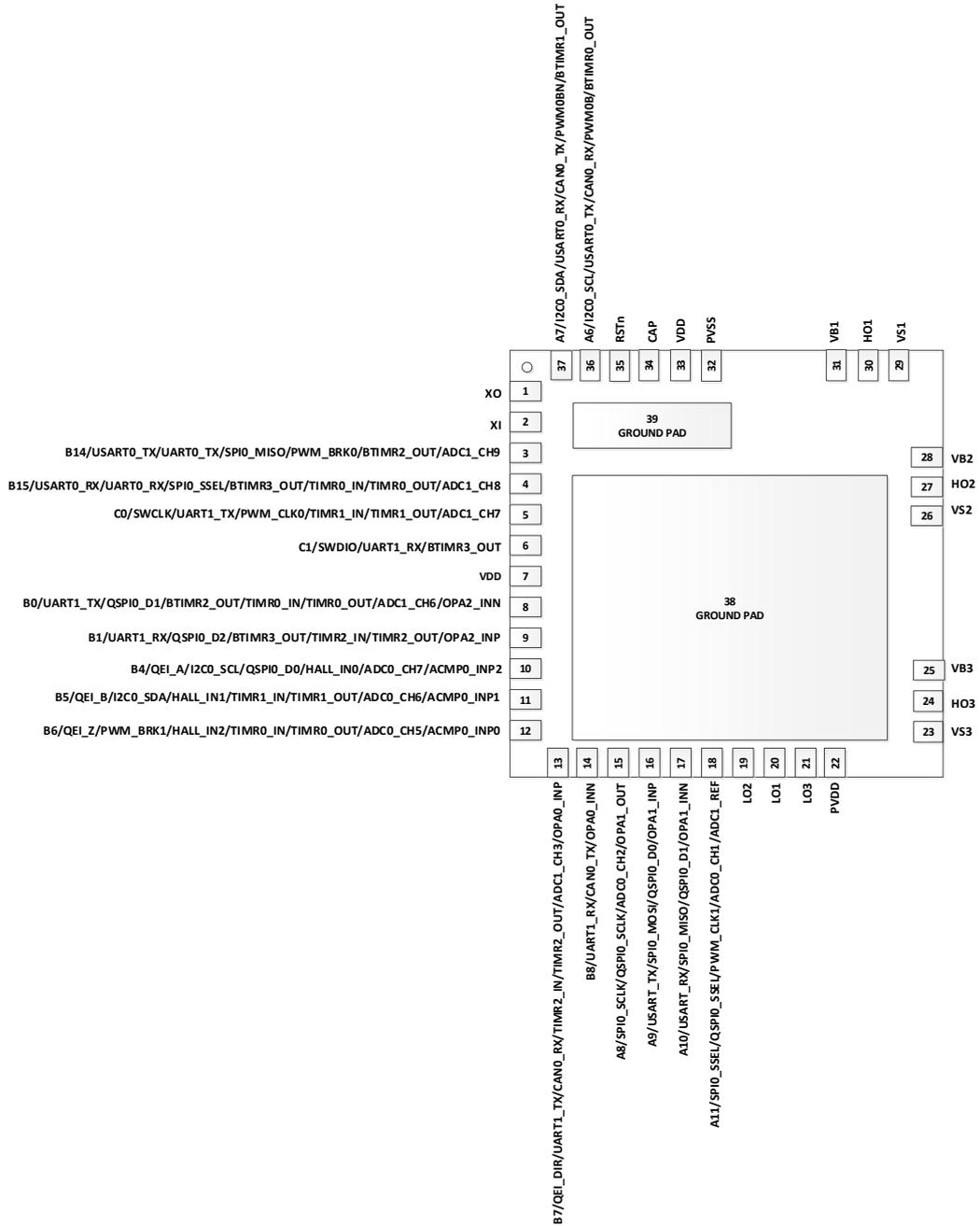


图 5-8 SWM22DC8U7 封装管脚配置图

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DC8U7				
1	XO	I/O	XO	高频晶体振荡器输出

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DC8U7				
2	XI	I/O	XI	高频晶体振荡器输入
3	B14	I/O	PB14	USART0_TX, UART0_TX, SPI0_MISO, PWM_BRK0, BTIMR2_OUT, ADC1_CH9 *** 此管脚带数字滤波功能
4	B15	I/O	PB15	USART0_RX, UART0_RX, SPI0_SSEL, BTIMR3_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH8
5	C0	I/O	PC0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
6	C1	I/O	PC1	SWDIO, UART1_RX, BTIMR3_OUT
7	VDD	S	/	电源
8	B0	I/O	PB0	UART1_TX, QSPI0_D1, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN
9	B1	I/O	PB1	UART1_RX, QSPI0_D2, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
10	B4	I/O	PB4	MPU_CS, QEI_A, I2C0_SCL, QSPI0_D0, HALL_IN0, ADC0_CH7, ACMPO_INP2 *** 此管脚带数字滤波功能
11	B5	I/O	PB5	MPU_RS, QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMPO_INP1 *** 此管脚带数字滤波功能
12	B6	I/O	PB6	MPU_WR, QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMPO_INP0 *** 此管脚带数字滤波功能
13	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
14	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
15	A8	I/O	PA8	SPI0_SCLK, QSPI0_SCLK, ADC0_CH2, OPA1_OUT
16	A9	I/O	PA9	MPU_D1, USART0_TX, SPI0_MOSI, QSPI0_D0, OPA1_INP
17	A10	I/O	PA10	MPU_D2, USART0_RX, SPI0_MISO, QSPI0_D1, OPA1_INN
18	A11	I/O	PA11	MPU_D3, SPI0_SSEL, QSPI0_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
19	LO2	AO	LO2	低侧输出 2
20	LO1	AO	LO1	低侧输出 1

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DC8U7				
21	LO3	AO	LO3	低侧输出 3
22	PVDD	S	/	预驱模拟电源
23	VS3	S	VS3	高端悬浮地
24	HO3	AO	HO3	高侧输出 3
25	VB3	S	VB3	高端悬浮电源
26	VS2	S	VS2	高端悬浮地
27	HO2	AO	HO2	高侧输出 2
28	VB2	S	VB2	高端悬浮电源
29	VS1	S	VS1	高端悬浮地
30	HO1	AO	HO1	高侧输出 1
31	VB1	S	VB1	高端悬浮电源
32	PVSS	S	/	预驱模拟电源地
33	VDD	S	/	电源
34	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
35	RSTn	I	RSTn	芯片复位功能引脚, 低电平复位
36	A6	I/O	PA6	I2CO_SCL, USART0_TX, CAN0_RX, PWM0B, BTIMR0_OUT
37	A7	I/O	PA7	I2CO_SDA, USART0_RX, CAN0_TX, PWM0BN, BTIMR1_OUT

5.9 SWM22DK8U7

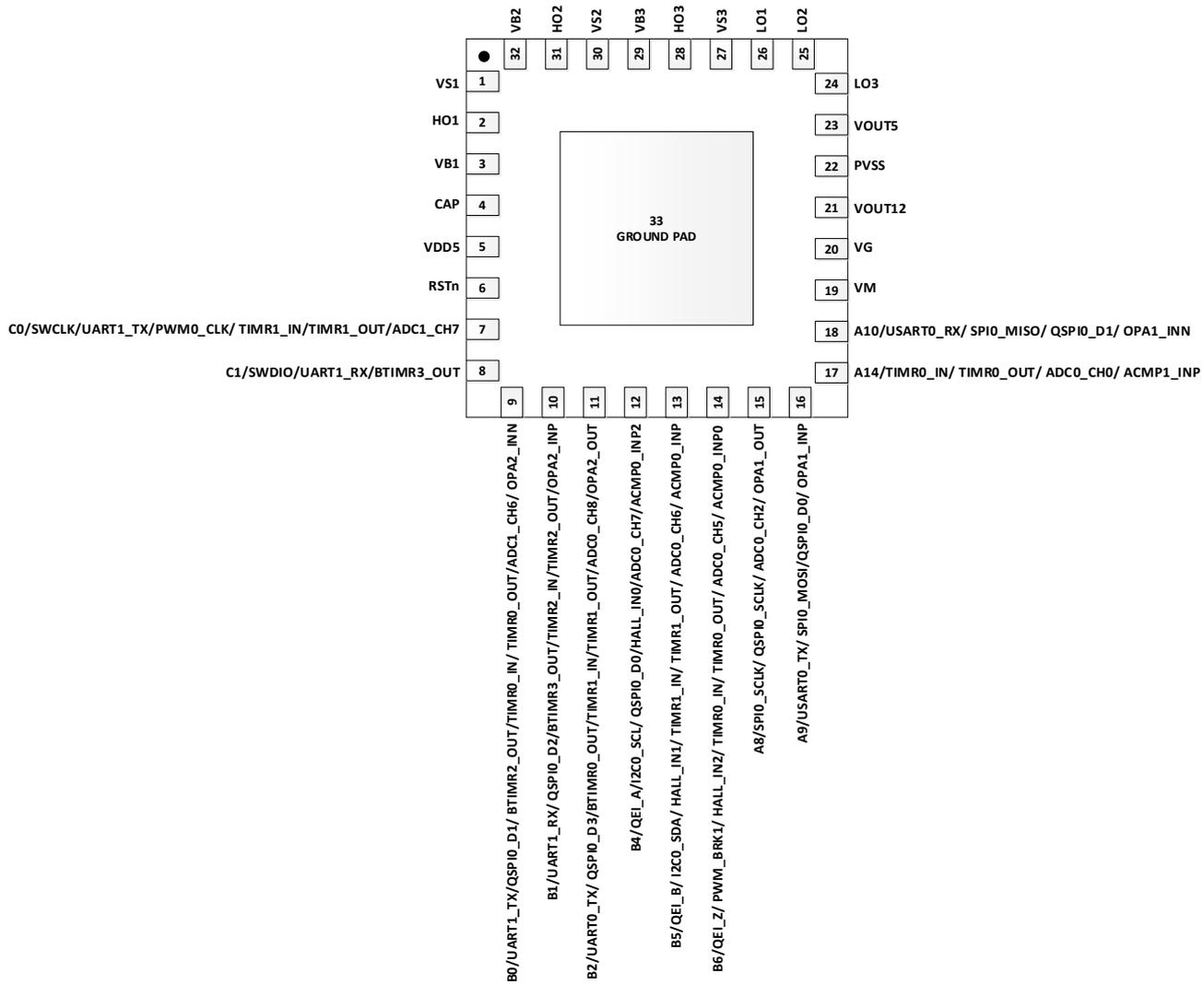


图 5-9 SWM22DK8U7 封装管脚配置图

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DK8U7				
1	VS1	S	VS1	高端悬浮地
2	HO1	AO	HO1	高侧输出 1
3	VB1	S	VB1	高端悬浮电源
4	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DK8U7				
5	VDD5	S	/	电源
6	RSTn	I	RSTn	芯片复位功能引脚，低电平复位
7	C0	I/O	PC0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
8	C1	I/O	PC1	SWDIO, UART1_RX, BTIMR3_OUT
9	B0	I/O	PB0	UART1_TX, QSPIO_D1, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN
10	B1	I/O	PB1	UART1_RX, QSPIO_D2, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
11	B2	I/O	PB2	UART0_TX, QSPIO_D3, BTIMR0_OUT, TIMR1_IN, TIMR1_OUT, ADC0_CH8, OPA2_OUT
12	B4	I/O	PB4	QEI_A, I2C0_SCL, QSPIO_D0, HALL_IN0, ADC0_CH7, ACMP0_INP2 *** 此管脚带数字滤波功能
13	B5	I/O	PB5	QEI_B, I2C0_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMP0_INP1 *** 此管脚带数字滤波功能
14	B6	I/O	PB6	QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMP0_INP0 *** 此管脚带数字滤波功能
15	A8	I/O	PA8	SPIO_SCLK, QSPIO_SCLK, ADC0_CH2, OPA1_OUT
16	A9	I/O	PA9	USART0_TX, SPIO_MOSI, QSPIO_D0, OPA1_INP
17	A14	I/O	PA14	TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMP1_INP
18	A10	I/O	PA10	USART0_RX, SPIO_MISO, QSPIO_D1, OPA1_INN
19	VM	——	I	VM: 预驱电源供电脚;
20	VG	——	O	VG: 外置 MOS 的栅极驱动脚;
21	VOUT12	——	S	VOUT12: 12V LDO 输出脚, 连接外置 NPN 或者 NMOS 的源端
22	PVSS	——	S	PVSS: 预驱芯片地引脚;
23	VOUT5	——	S	VOUT5: 输出电压脚, 外接电容;

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DK8U7				
24	LO3	AO	LO3	低侧输出 3
25	LO2	AO	LO2	低侧输出 2
26	LO1	AO	LO1	低侧输出 1
27	VS3	S	VS3	高端悬浮地
28	HO3	AO	HO3	高侧输出 3
29	VB3	S	VB3	高端悬浮电源
30	VS2	S	VS2	高端悬浮地
31	HO2	AO	HO2	高侧输出 2
32	VB2	S	VB2	高端悬浮电源

5.10 SWM221DBU7

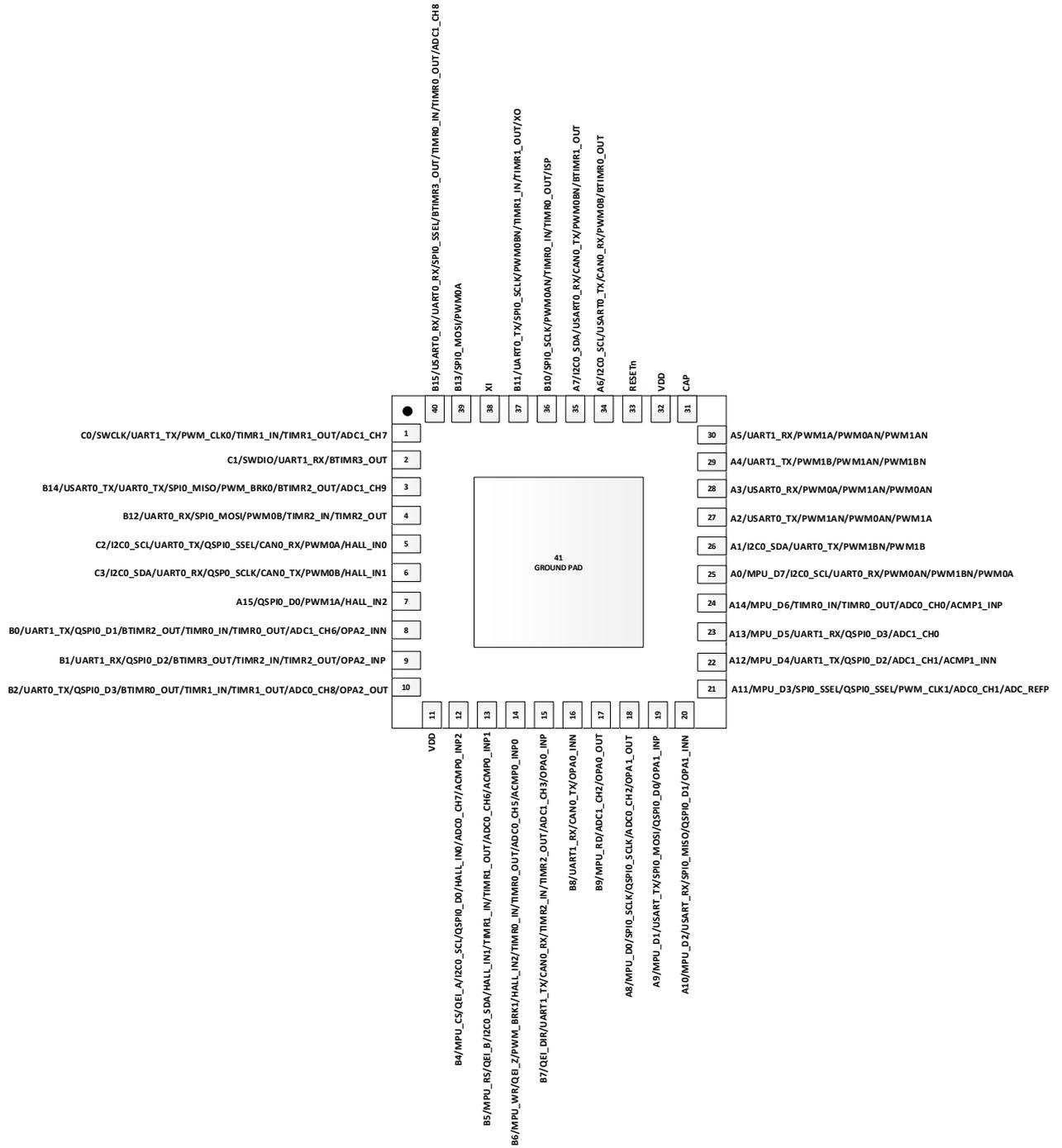


图 5-10 SWM221DBU7 封装管脚配置图⁵

⁵ 禁止使用 B11 引脚做输入

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
DBU7				
1	C0	I/O	PC0	SWCLK, UART1_TX, PWM_CLK0, TIMR1_IN, TIMR1_OUT, ADC1_CH7
2	C1	I/O	PC1	SWDIO, UART1_RX, BTIMR3_OUT
3	B14	I/O	PB14	USART0_TX, UART0_TX, SPI0_MISO, PWM_BRK0, BTIMR2_OUT, ADC1_CH9 *** 此管脚带数字滤波功能
4	B12	I/O	PB12	UART0_RX, SPI0_MOSI, PWM0B, TIMR2_IN, TIMR2_OUT
5	C2	I/O	PC2	I2CO_SCL, UART0_TX, QSPIO_SSEL, CAN0_RX, PWM0A, HALL_IN0
6	C3	I/O	PC3	I2CO_SDA, UART0_RX, QSP0_SCLK, CAN0_TX, PWM0B, HALL_IN1
7	A15	I/O	A15	QSPIO_D0, PWM1A, HALL_IN2
8	B0	I/O	PB0	UART1_TX, QSPIO_D1, BTIMR2_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH6, OPA2_INN
9	B1	I/O	PB1	UART1_RX, QSPIO_D2, BTIMR3_OUT, TIMR2_IN, TIMR2_OUT, OPA2_INP
10	B2	I/O	PB2	UART0_TX, QSPIO_D3, BTIMR0_OUT, TIMR1_IN, TIMR1_OUT, ADC0_CH8, OPA2_OUT
11	VDD	S	/	电源
12	B4	I/O	PB4	MPU_CS, QEI_A, I2CO_SCL, QSPIO_D0, HALL_IN0, ADC0_CH7, ACMP0_INP2 *** 此管脚带数字滤波功能
13	B5	I/O	PB5	MPU_RS, QEI_B, I2CO_SDA, HALL_IN1, TIMR1_IN, TIMR1_OUT, ADC0_CH6, ACMP0_INP1 *** 此管脚带数字滤波功能
14	B6	I/O	PB6	MPU_WR, QEI_Z, PWM_BRK1, HALL_IN2, TIMR0_IN, TIMR0_OUT, ADC0_CH5, ACMP0_INP0 *** 此管脚带数字滤波功能
15	B7	I/O	PB7	QEI_DIR, UART1_TX, CAN0_RX, TIMR2_IN, TIMR2_OUT, ADC1_CH3, OPA0_INP
16	B8	I/O	PB8	UART1_RX, CAN0_TX, OPA0_INN
17	B9	I/O	PB9	MPU_RD, ADC1_CH2, OPA0_OUT
18	A8	I/O	PA8	MPU_D0, SPI0_SCLK, QSPIO_SCLK, ADC0_CH2, OPA1_OUT
19	A9	I/O	PA9	MPU_D1, USART0_TX, SPI0_MOSI, QSPIO_D0, OPA1_INP
20	A10	I/O	PA10	MPU_D2, USART0_RX, SPI0_MISO, QSPIO_D1, OPA1_INN

管脚号	管脚名称	类型	复位后默认功能	可复用功能/备注
21	A11	I/O	PA11	MPU_D3, SPI0_SSEL, QSPI0_SSEL, PWM_CLK1, ADC0_CH1, ADC_REFP
22	A12	I/O	PA12	MPU_D4, UART1_TX, QSPI0_D2, ADC1_CH1, ACMP1_INN
23	A13	I/O	PA13	MPU_D5, UART1_RX, QSPI0_D3, ADC1_CH0
24	A14	I/O	PA14	MPU_D6, TIMR0_IN, TIMR0_OUT, ADC0_CH0, ACMP1_INP
25	A0	I/O	PA0	MPU_D7, I2C0_SCL, UART0_RX, PWM0AN, PWM1BN, PWM0A
26	A1	I/O	PA1	I2C0_SDA, UART0_TX, PWM1BN, PWM1B
27	A2	I/O	PA2	USART0_TX, PWM1AN, PWM0AN, PWM1A
28	A3	I/O	PA3	USART0_RX, PWM0A, PWM1AN, PWM0AN
29	A4	I/O	PA4	UART1_TX, PWM1B, PWM1AN, PWM1BN
30	A5	I/O	PA5	UART1_RX, PWM1A, PWM0AN, PWM1AN
31	CAP	S	/	接 LDO 稳压电容, 需要对地连接一个 1uF 电容
32	VDD	S	/	电源
33	RSTn	I	RSTn	芯片复位功能引脚, 低电平复位
34	A6	I/O	PA6	I2C0_SCL, USART0_TX, CAN0_RX, PWM0B, BTIMR0_OUT
35	A7	I/O	PA7	I2C0_SDA, USART0_RX, CAN0_TX, PWM0BN, BTIMR1_OUT
36	B10	I/O	PB10	UART1_TX, UART1_RX, SPI0_SCLK, PWM0AN, TIMR0_IN, TIMR0_OUT, ISP
37	B11	I/O	PB11	UART0TX, SPI0_SCLK, PWM0BN, TIMR1_IN, TIMR1_OUT
38	XI	I/O	XI	高频晶体振荡器输入
39	B13	I/O	PB13	SPI0_MOSI, PWM0A
40	B15	I/O	PB15	USART0_RX, UART0_RX, SPI0_SSEL, BTIMR3_OUT, TIMR0_IN, TIMR0_OUT, ADC1_CH8

5.11 功能描述

管脚名称	描述 (x = 0, 1, 2, ...; y = 0, 1, 2, ...)
I2Cx_SCL	I2Cx 模块时钟引脚
I2Cx_SDA	I2Cx 模块数据引脚
SPIx_SSEL	SPIx 模块片选引脚

管脚名称	描述 (x = 0, 1, 2, ...; y = 0, 1, 2, ...)
SPIx_SCLK	SPIx 模块时钟引脚
SPIx_MISO	SPIx 模块主机接收引脚
SPIx_MOSI	SPIx 模块主机发送引脚
UARTx_RX	UARTx 模块数据接收引脚
UARTx_TX	UARTx 模块数据发送引脚
UARTx_CTS	UARTx 模块发送允许引脚
UARTx_RTS	UARTx 模块接收请求引脚
USARTx_TX	USARTx 模块数据发送引脚
USARTx_RX	USARTx 模块数据接收引脚
QSPIx_MOSI	QSPIx 模块主机数据发送引脚
QSPIx_MISO	QSPIx 模块主机数据接收引脚
QSPIx_Dy	QSPIx 模块数据 y 引脚
QSPIx_SSEL	QSPIx 模块片选引脚
QSPIx_SCLK	QSPIx 模块时钟引脚
CANx_RX	CANx 模块接收引脚
CANx_TX	CANx 模块发送引脚
MPU_Dx	MPU 模块数据 x 引脚
MPU_CS	MPU 模块 CS 信号引脚
MPU_RS	MPU 模块 RS 信号引脚
MPU_WR	MPU 模块 WR 信号引脚
PWMxA	PWM 模块第 x 组 A 路输出引脚
PWMxB	PWM 模块第 x 组 B 路输出引脚
PWMxAN	PWM 模块第 x 组 A 路反向输出引脚
PWMxBN	PWM 模块第 x 组 B 路反向输出引脚
PWM_CLKx	PWM 脉冲输入 x 引脚
PWM_BRKx	PWMx 模块的 BRAKE x 输出引脚
HALL_INx	霍尔模块输入引脚 x
QEI_A	正交编码器 A 相输入引脚
QEI_B	正交编码器 B 相输入引脚
QEI_Z	正交编码器索引输入引脚
QEI_DIR	正交编码器方向输入引脚
TIMRx_IN	TIMERx 模块输入捕获引脚
TIMRx_OUT	TIMERx 模块输出捕获引脚
BTIMRx_IN	BTIMERx 模块输入捕获引脚
BTIMRx_OUT	BTIMERx 模块输出捕获引脚
ADCx_CHy	ADCx 模块通道 y 输入引脚
ADCx_REFP	ADCx REFP 基准正向输入引脚
ISP	ISP 功能引脚
RSTn	芯片复位功能引脚，低电平复位
XLI	外部低频晶振输入引脚

管脚名称	描述 (x = 0, 1, 2, ...; y = 0, 1, 2, ...)
XLO	外部低频晶振输出引脚
XI	外部高频晶振输入引脚
XO	外部高频晶振输出引脚
CAP	LDO 电容引脚
VSS	芯片电源地引脚
VDDIO	芯片 IO 电源引脚
VDD	芯片电源引脚
SWCLK	下载器 SWCLK 引脚
SWDIO	下载器 SWDIO 引脚
OPAx_OUT	OPA x 模块输出引脚
OPAx_VP	OPA x 模块 P 端输入引脚
OPAx_VN	OPA x 模块 N 端输入引脚
CMPx_VP	CMPx 模块 P 端输入引脚
CMPx_VPy	比较器(CMP) x 模块 P 端输入引脚 y (多 P 端输入通道比较器)
CMPx_VN	比较器(CMP) x 模块 N 端输入引脚

5.12 管脚复用功能

PORTA 管脚功能通过 PORTCON 模块的 PORTA_FUNC0 和 PORTA_FUNC1 寄存器对应位域配置。请使用驱动库提供的 PORT_Init 函数和功能宏定义配置管脚功能，提高代码可读性。

表格 5-1 PORTA 复用功能表

管脚	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8	功能 15	其他
A0	PA0	MPU_D7	I2C0_SCL	UART0_RX	PWM0AN	PWM1BN	PWM0A				
A1	PA1	I2C0_SDA	UART0_TX	PWM1BN	PWM1B						
A2	PA2	USART0_TX	PWM1AN	PWM0AN	PWM1A						
A3	PA3	USART0_RX	PWM0A	PWM1AN	PWM0AN						
A4	PA4	UART1_TX	PWM1B	PWM1AN	PWM1BN						
A5	PA5	UART1_RX	PWM1TA	PWM0AN	PWM1AN						
A6	PA6	I2C0_SCL	USART0_TX	CAN0_RX	PWM0B	BTIMR0_OUT					
A7	PA7	I2C0_SDA	USART0_RX	CAN0_TX	PWM0BN	BTIMR1_OUT					
A8	PA8	MPU_D0	SPI0_SCLK	QSPIO_SCLK						ADC0_CH2/ OPA1_OUT	
A9	PA9	MPU_D1	USART0_TX	SPI0_MOSI	QSPIO_D0					OPA1_INP	
A10	PA10	MPU_D2	USART0_RX	SPI0_MISO	QSPIO_D1					OPA1_INN	
A11	PA11	MPU_D3	SPI0_SSEL	QSPIO_SSEL	PWM_CLK1					ADC0_CH1/ ADC_REFP	
A12	PA12	MPU_D4	UART1_TX	QSPIO_D2						ADC1_CH1/ ACMP1_INN	
A13	PA13	MPU_D5	UART1_RX	QSPIO_D3						ADC1_CH0	
A14	PA14	MPU_D6	TIMR0_IN	TIMR0_OUT						ADC0_CH0/ ACMP1_INP	
A15	PA15	QSPIO_D0	PWM1A	HALL_IN2							

PORTB 管脚功能通过 PORTCON 模块的 PORTB_FUNC0 和 PORTB_FUNC1 寄存器对应位域配置。请使用驱动库提供的 PORT_Init 函数和功能宏定义配置管脚功能，提高代码可读性。

表格 5-2 PORTB 复用功能表

管脚	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8	功能 15	其他
B0	PB0	UART1_TX	QSPIO_D1	BTIMR2_OUT	TIMR0_IN	TIMR0_OUT				ADC1_CH6/ OPA2_INN	
B1	PB1	UART1_RX	QSPIO_D2	BTIMR3_OUT	TIMR2_IN	TIMR2_OUT				OPA2_INP	
B2	PB2	UART0_TX	QSPIO_D3	BTIMR0_OUT	TIMR1_IN	TIMR1_OUT				ADCO_CH8/ OPA2_OUT	
B3	PB3	UART0_RX	BTIMR1_OUT	TIMR2_IN	TIMR2_OUT					ACMP0_INN	
B4	PB4	MPU_CS	QE1_A	I2C0_SCL	QSPIO_D0	HALL_IN0				ADCO_CH7/ ACMP0_INP2	
B5	PB5	MPU_RS	QE1_B	I2C0_SDA	HALL_IN1	TIMR1_IN	TIMR1_OUT			ADCO_CH6/ ACMP0_INP1	
B6	PB6	MPU_WR	QE1_Z	PWM_BRK1	HALL_IN2	TIMR0_IN	TIMR0_OUT			ADCO_CH5/ ACMP0_INP0	
B7	PB7	QE1_DIR	UART1_TX	CAN0_RX	TIMR2_IN	TIMR2_OUT				ADC1_CH3/ OPA0_INP	
B8	PB8	UART1_RX	CAN0_TX							OPA0_INN	
B9	PB9	MPU_RD								ADC1_CH2/ OPA0_OUT	
B10	PB10	UART1_TX	UART1_RX	SPIO_SCLK	PWM0AN	TIMR0_IN	TIMR0_OUT				ISP
B11	PB11	UART0_TX	SPIO_SCLK	PWM0BN	TIMR1_IN	TIMR1_OUT					
B12	PB12	UART0_RX	SPIO_MOSI	PWM0B	TIMR2_IN	TIMR2_OUT					
B13	PB13	SPIO_MOSI	PWM0A								
B14	PB14	USART0_TX	UART0_TX	SPIO_MISO	PWMBRK0	BTIMR2_OUT				ADC1_CH9	
B15	PB15	USART0_RX	UART0_RX	SPIO_SSEL	BTIMR3_OUT	TIMR0_IN	TIMR0_OUT			ADC1_CH8	

PORTC 管脚功能通过 PORTCON 模块的 PORTC_FUNC0 和 PORTC_FUNC1 寄存器对应位域配置。请使用驱动库提供的 PORT_Init 函数和功能宏定义配置管脚功能，提高代码可读性。

表格 5-3 PORTC 复用功能表

管脚	功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6	功能 7	功能 8	功能 15	其他
C0	PC0	SWCLK	UART1_TX	PWM0CLK	TIMR1_IN	TIMR1_OUT				ADC1_CH7	
C1	PC1	SWDIO	UART1_RX	BTIMR3_OUT							
C2	PC2	I2C0_SCL	UART0_TX	QSPIO_SSEL	CAN0_RX	PWM0A	HALL_IN0				
C3	PC3	I2C0_SDA	UART0_RX	QSPIO_SCLK	CAN0_TX	PWM0B	HALL_IN1				

6. 功能概述

6.1 存储器映射

SWM221 控制器为 32 位通用控制器，提供了 4G 字节寻址空间，如下表所示。数据格式仅支持小端格式（Little-Endian），各模块具体寄存器排布及操作说明在后章节有详细描述。

表格 6-1 存储器映射

起始	结束	模块
0x00000000	0x0001FFFF	FLASH
0x20000000	0x20001FFF	RAM
0x40000000	0x400007FF	SYSCON
0x40000800	0x40000FFF	DMA
0x40001000	0x400017FF	INTCTRL
0x40001800	0x40001FFF	QSPI0
0x40002800	0x40002FFF	CRC
0x40003000	0x400037FF	DIVIDER
0x40003800	0x40003FFF	GPIOA
0x40004000	0x400047FF	GPIOB
0x40004800	0x40004FFF	GPIOC
0x40005000	0x400057FF	MPU
0x40040000	0x400407FF	UART0
0x40040800	0x40040FFF	UART1
0x40041000	0x400417FF	QEI
0x40041800	0x40041FFF	SPI
0x40042000	0x400427FF	I2C
0x40042800	0x40042FFF	CAN
0x40043000	0x400437FF	PWM
0x40043800	0x40043FFF	TIMER
0x40044000	0x400447FF	BTIMER
0x40044800	0x40044FFF	SARADC
0x40045000	0x400457FF	FLASHC
0x40045800	0x40045FFF	ANACON
0x40046000	0x400467FF	PORTCON
0x40046800	0x40046FFF	WDT

0x40047000	0x400477FF	USART
------------	------------	-------

6.2 中断控制器 (NVIC)

Cortex-M0 提供了“嵌套向量中断控制器 (NVIC)”用以管理中断事件。

中断优先级分为 4 级，可通过中断优先级配置寄存器 (IRQn) 进行配置。中断发生时，内核比较中断优先级，并自动获取入口地址，并保护环境，将指定寄存器中数据入栈，无需软件参与。中断服务程序结束后，由硬件完成出栈工作。同时支持“尾链”模式及“迟至”模式，有效的优化了中断发生及背对背中断的执行效率，提高了中断的实时性。

更多细节请参阅“Cortex®-M0 技术参考手册”及“ARM® CoreSight 技术参考手册”。

6.3 系统管理 (SYSCON)

系统管理为整个芯片提供时钟源，包括系统时钟切换、外设时钟门控、工作模式选择、数据备份以及版本控制等功能。还可通过单独时钟的开或关，时钟源选择来进行功耗控制。

模块特性:

- 时钟控制
- 工作模式选择
- 端口唤醒设置
- 低电压复位 LVR
- 可编程电压检测 PVD
- 复位控制及状态
- UID

6.4 端口控制 (PORTCON)

端口控制模块主要包括管脚输入使能，管脚功能配置，I/O 上拉、下拉、开漏配置。

模块特性:

- 配置 I/O 引脚为特定功能
- 支持上拉/下拉/推挽/开漏功能
- 配置管脚输入使能

6.5 通用 I/O (GPIO)

通用输入输出模块主要功能包括数据控制、中断控制功能。

模块特性：

- 最高 44 个独立 IO
- 每个 IO 均支持位带功能
- 每个 IO 均可触发中断。
- 中断触发条件可配置，支持电平触发/边沿触发。
- 电平触发支持高电平/低电平
- 边沿触发中断可配置为上升沿/下降沿/双边沿触发。
- 每个 IO 均支持上拉/下拉/推挽/开漏功能。

6.6 加强型定时器 (TIMER)

每个 TIMER 模块均具备定时器功能（使用片内时钟作为计数基准）和计数器功能（使用片外时钟作为计数基准）、输出比较及输入捕获功能。

模块特性：

- 3 路 32 位通用定时器
 - 24 位计数器
 - 8 位预分频
- 可单独配置计时触发条件为内部时钟或者外部输入
- 支持脉冲捕获及宽度测量，检测脉冲极性可配
- 支持脉冲发送功能，可作为 PWM 使用
- TIMER0 支持 HALL 功能，可采集霍尔传感器
- TIMER0~1 输出可作为外部触发事件信号
- 定时器溢出脉冲输出，可用于触发 ADC

6.7 基础定时器 (BTIMER)

每个 BTIMER 模块均具备定时器功能，并具备一个 8 位分频器，每个定时器具备独立中断源。

模块特性：

- 4 路 24 位通用定时器
- 每路均具备独立 8 位预分频
- 独立中断源
- PWM 输出功能

6.8 看门狗定时器 (WDT)

看门狗定时器 (WDT) 主要用于控制程序流程正确, 在程序流长时间未按既定流程执行指定程序的情况下产生中断或复位芯片。

模块特性:

- 产生计数器溢出复位信号, 复位信号使能可配
- 具有 16 位计数位宽, 可配置灵活、宽范围的溢出周期
- 具有中断功能
- 时钟源为 32K

6.9 脉冲宽度调制发生器 (PWM)

PWM 模块用于实现芯片输出特定的方波, 控制外部元器件, 如步进电机等。计数器可以通过 APB 总线读写寄存器、和外部硬件同时控制, 实现计数过程的控制。同时, CPU 和外部硬件也可以共同实现对输出 PWM 信号的控制。

PWM 模块提供了 2 组 (PWM0、PMW1)、8 路 (PWM0A、PWM0B、PWM0AN、PWM0BN、PWM1A、PWM1B、PWM1AN、PWM1BN) 独立通道, 支持边沿模式、中心对称模式。

中心对称模式下, 输出是互补输出。如 PWM0A 驱动 PWM0A 和 PWM0AN 两个输出信号, 两个信号周期相等、电平值相反, 且可设置死区。

模块特性:

- 2 组 16 位宽 PWM 控制, 每组 PWM 支持 4 路 PWM 输出 (A/AN/B/BN 路), 最多可产生 8 路 PWM 信号
- 支持 10 位预分频计数器, 一个位宽为 10 位的预分频计数器
- 每组 PWM 支持 4 个翻转点 (非对称中心对齐模式下, 每路输出支持 2 个翻转点, 其他情况下每路支持 1 个翻转点)
- 支持 CPU 和外部信号两个控制源, 同时控制计数器的启动、停止、输出 MASK、配置更新四种操作, 同时外部信号还可以控制计数器的暂停操作
- 提供新周期开始中断, 高电平结束中断、刹车中断以及中心对称模式下的半周期中断
- 最多支持 7 路外部信号控制源和 3 路外部 HALT 信号, 支持对低 4 路外部信号和 3 路外部 HALT 信号进行滤波功能, 支持不滤波、过滤 4/8/16pclk 宽度四种配置
- 支持 PWM 计数周期、翻转周期、死区值、trigger 值的动态配置, 先发起更新请求, 并在周期溢出时完成更新
- 支持输出两种类型的触发信号, 计数器比较匹配触发和计数器溢出触发
- 可选择初始输出电平选择

- PWM 输出的固定值可配
- PWM 空闲状态下的输出可配
- 支持刹车功能
- 支持硬件自动触发 ADC 采样

6.10 正交编码器 (QEI)

正交编码器（增量式编码器或光电式编码器）用于检测旋转运动系统的位置和速度，正交编码器可以用于多种电机的闭环控制，诸如开关磁阻（SR）电机和交流感应电机（ACM）等。

模块特性：

- 可编程输入信号毛刺滤波
- 提供脉冲计数和计数方向的正交解编码器
- 16 位向上/向下计数器
- 计数方向状态
- $\times 2$ 和 $\times 4$ 两种计数模式
- 索引复位/计数匹配复位模式
- QEI 产生的中断
- A 相和 B 相输入的交换模式

6.11 UART 接口控制器 (UART)

UART 模块支持波特率配置，最高速度可达到模块时钟 16 分频。具备深度为 8 的 FIFO，同时提供了多种中断供选择。

模块特性：

- 支持标准的 UART 协议
- 支持全双工模式
- 支持波特率可配置
- 支持 8 位/9 位数据格式选择
- 可配置的奇偶校验位
- 支持 1 位/2 位停止位选择
- 支持波特率自动调整
- 深度为 8 字节的发送和接收 FIFO

- 支持 break 操作自动检测
- 支持接收超时中断
- 支持发送/接收数据 LSB/MSB 选择
- 支持发送/接收数据电平反向

6.12 USART 接口控制器 (USART)

USART 除了支持普通 UART 的功能外，还支持更完善的 LIN 功能。

模块特性：

- 5-9 位数据，1 位、1.5 位或 2 位
- 奇偶校验位发送和检测，帧错误检测，溢出错误检测
- 支持先发送高位或先发送低位可配
- LIN 支持主/从模式，遵循 LIN1.3 和 LIN2.0 协议规格
- LIN 从机模式支持自同步功能

6.13 I2C 总线控制器 (I2C)

I2C 模块提供了 MASTER 模式及 SLAVE 模式，基本操作及配置详见功能描述章节。

模块特性：

- 支持通过 APB 总线进行配置
- 支持 master、slave 两种模式
- 支持 I2C 输入信号数字滤波
- 支持 Standard-mode (100kbps)、Fast-mode (400kbps)、Fast-mode Plus (1Mbps)、High-speed mode (3.4Mbps)
- SCL/SDA 线上数据可读
- Master 模式特性：
 - 支持 clock synchronization
 - 支持多 master 总线仲裁
 - 支持 clock stretching, slave 器件可通过拉低 SCL 来 hold 总线
 - 支持 SCL LOW 超时报警
- 支持读、写操作
- 支持发出的 SCL 时钟周期最大为 $(2^{17}) * pclk$

- SCL 时钟占空比可配置
- Slave 模式特性：
 - 支持多 slave
 - 支持 7 位、10 位两种地址模式
 - 支持地址 mask，一个 slave 器件可以占用多个地址
 - 7 位地址模式，一个 slave 器件最多可占用 128 个地址
 - 10 位地址模式，一个 slave 器件最多可占用 256 个地址
 - 支持 clock stretching，通过拉低 SCL 延长时钟占据总线
 - 支持读、写操作

6.14 SPI 总线控制器 (SPI)

SPI 是一种用于全双工模式的串行同步数据通讯协议。该模块为支持 SPI 通讯协议的接口控制模块，它支持主/从工作模式，并可通过 4 线实现设备的通讯。

SPI 模块支持 SPI 模式及 SSI 模式。SPI 模式下支持 MASTER 模式及 SLAVE 模式。具备深度为 8 的 FIFO，速率及帧宽度可灵活配置。除了支持 SPI 协议外，还可支持 SSI 协议，并支持 SPIFLASH 的 4 线快速读操作。

模块特性：

- 支持主机模式和从机模式
- 支持 SPI 和 SSI 两种帧结构
- 内置深度为 8 的 FIFO，作为接收和发送数据的缓存
- 数据位数 4~16bit 可配置
- 可编程时钟极性和相位
- 支持 LSB 和 MSB 可配置

6.15 QSPI 总线控制器 (QSPI)

QSPI 专用于和外部存储器通信的接口，支持单线，双线，四线模式。

模块特性：

- AHB Slave 接口：CPU Master/DMA 通过 AHB 访问 QSPI 接口模块
- QSPI Master 接口：可访问外置 SPI Flash
- 三种功能模式：间接模式、状态轮询模式、内存映射模式
- 集成 FIFO，用于发送和接收

- 允许 8、16 和 32 位数据访问
- 在达到 FIFO 阈值、超时、操作完成以及发生访问错误时产生中断

6.16 MPU 接口 (MPU)

MPU 模块包括 RD、WR、RS、CS、DATA 等控制信号，支持 I80 标准接口。

模块特性：

- 8 位数据接口位宽
- 半字或字访问时，硬件自动发出两个连续的 MPU 读或写事务。
- 接口时序可调
- 输出时钟可配置为空闲时关闭
- 通过 MCU 或者 DMA 工作

6.17 CRC 计算单元 (CRC)

CRC 模块主要应用于核实数据传输或者数据存储的正确性和完整性。

CRC 模块分为 CRC-32 和 CRC-16 两个算法。使用 CRC-32 多项式进行计算时，输入数据有效位宽可选择为 32-bit，16-bit，8-bit；使用 CRC-16 多项式进行计算时，输入数据有效位宽可选择 16-bit，8-bit。

模块特性：

- 支持 CRC 码多项式
- $x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1$
- $x^{16} + x^{12} + x^5 + 1$
- $x^{16} + x^{15} + x^2 + 1$
- 01: $x^8 + x^2 + x + 1$
- 支持输出结果设置，包括翻转、取反
- 支持初始值自定义
- 支持输入可选择取反

6.18 局域网控制器 (CAN)

CAN 接口兼容规范 2.0A 和 2.0B，支持协议 2.0A(11 位标识符)和 2.0B (29 位标识符)，最大 1 Mbit/s 的比特率，与物理层相连需要连接额外的硬件收发器。

模块特性：

- 支持协议 2.0A(11 位标识符)和 2.0B (29 位标识符)
- 支持最大 1 Mbit/s 的比特率
- 提供 64 字节的接收 FIFO
- 提供 32 个 16 位或 16 个 32 位的滤波器
- 提供可掩蔽中断
- 为自检操作提供可编程环回模式

6.19 直接内存存取控制器 (DMA)

DMA 模块支持特定外设 (UART, USART, SPI, QSPI, SARADC, MPU) 和存储器 (SRAM) 之间或总线地址和存储器 (SRAM) 之间的高速数据传输, 无需 CPU 干涉, 数据可以快速的通过 DMA 传输, 从而节省了 CPU 的资源来做其他操作。

模块特性:

- 2 个独立的可配置的通道。
- 每个通道都直接连接专用的硬件 DMA 请求, 每个通道都同样支持软件触发。这些功能通过软件来配置。
- 多个请求间的优先权可以通过软件编程设置, 优先权设置相等时由硬件决定(请求 0 优先于请求 1, 依此类推)。
- 支持传输宽度(字节、半字、全字)可配置。源和目标地址必须按数据传输宽度对齐。
- 支持循环的缓冲器管理
- 支持步进 (TIMER 触发) 传输
- 每个通道都有 3 个事件标志(DMA 自定义数目传输完成、DMA 传输完成和 DMA 传输出错), 这 3 个事件标志逻辑或成为一个单独的中断请求。
- 支持存储器和存储器间的传输
- 支持外设和存储器、存储器和外设之间的传输
- 可编程的数据传输数目: 最大为 65535

6.20 除法器 (DIV)

在需要高精度计算的应用, 硬件除法器能加快除法运算, 提高系统效率。

模块特性:

- 支持 32 位整数除法运算及求余运算
- 支持 32 位开方运算, 支持小数位

- 除法单次运算耗时 8 个时钟，不包括读写寄存器时间
- 开方单次运算耗时 16/32 个时钟，不包括读写寄存器时间
- 开方可选择两种模式
- 只取整数（16 位）
- 包含小数（16+16 位）
- 运算启动自动清除运算使能查询
- 提供运算进行标志和完成标志
- 支持有符号数和无符号数运算

6.21 FLASH 控制器与 ISP 操作

内置 FLASH 可以通过调用 IAP 函数或寄存器读写的方式进行 FLASH 操作。

模块特性：

- 支持 ISP（在系统编程）更新用户程序
- 支持 FLASH 编程
- 支持 BOOT 自定义
- 支持加密

6.22 模拟数字转换器 (ADC)

本系列芯片内置 2 个 12 位高精度 SAR ADC，采样率高达 1MSPS，每个 ADC 支持 10 通道

模块特性：

- 支持单次模式和连续模式
- 灵活的转换启动方式，支持软件、PWM、TIMER 启动
- 每个通道都有自己独立的转换结果数据寄存器和转换完成、数据溢出状态寄存器
- 支持 DMA 传输
- 内嵌 1 路温度传感器 (TEMPSENSE)

6.23 可编程增益运放(PGA)

本系列芯片内置 3 路可编程增益运放，可配置为运放模式。

模块特性：

- PGA 模式支持 1/5/10/20 倍放大

- 输出电阻模式
- 输出可直接或通过 buffer 进入 ADC 通道
- 三个 PGA 共用一个内置输出偏置：1.2, 1.8, 2.25V, (VREF_ADC/2)

6.24 比较器 (CMP)

本系列芯片内置 2 个模拟比较器。电气特性一样，输入和输出可灵活配置，很好覆盖电机驱动应用需求。

模块特性：

- 迟滞设置：无，10mV，20mV，或 50mV
- 内置 1 路 8 位 DAC，负端可直接使用 DAC 参考输出
- 内置 DAC 参考电压可配置：1.2V,3.6V,或 VDD
- 输出作为 PWM 刹车输入使能
- 比较器翻转中断
- 输出数字滤波

CMP0 特性：

- 正端输入可选择 3 个外部输入中的一个，或 PGA0 正端输入信号
- 支持将 3 个外部输入通过电阻中心点连接至负端
- 负端可以选择接 DAC 输出，或外部输入

CMP1 特性：

- 正端支持选择外部输入，PGA1 正端信号输入，或 PGAxOUT 输入
- PGAxOUT 输入可以选择 100Ω/1kΩ/10K 电阻进行滤波
- 负端可以选择接 DAC 输出，或外部输入

7. 3P3N 预驱

7.1 概述

此模块是一款高压、高速功率 PN 型 MOSFET 驱动器，具有三个独立的高端和低端参考输出通道，适用于三相应用。

7.2 特性

- 三相 P/N MOS 管栅极驱动
- 电源电压输入范围：6V-36V
- 适应 3V-30V 输入电压
- 5V/50mA 输出 LDO
- 具有 VCC 欠压保护
- 内建死驱控制电路
- LIN1/2/3 输入通道高电平有效，控制 LO 输出
- HIN1/2/3 输入通道高电平有效，控制 HO 输出

7.3 模块结构框图

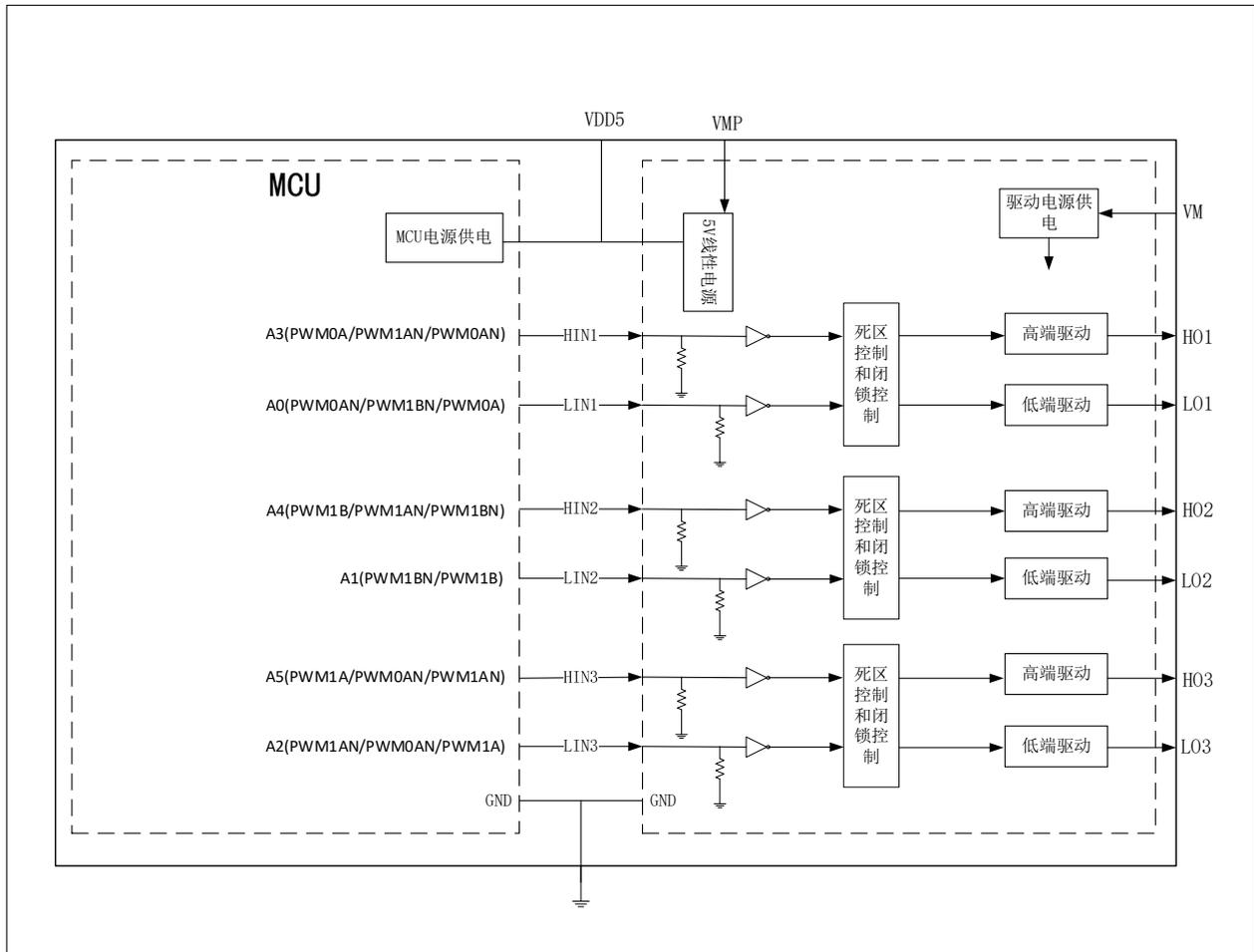


图 7-1 预驱电路结构框图

7.4 功能描述

7.4.1 引脚对应

表格 7-1 预驱引脚与芯片内部对应关系

预驱引脚	内部连接管脚	对应 PWM
HI3	A5	PWM1A/PWM0AN/PWM1AN
HI2	A4	PWM1B/PWM1AN/PWM1BN
HI1	A3	PWM0A/PWM1AN/PWM0AN
LI3	A2	PWM1AN/PWM0AN/PWM1A
LI2	A1	PWM1BN/PWM1B
LI1	A0	PWM0AN/PWM1BN/PWM0A

注：表格内容为芯片内部连接对应关系

表格 7-2 OPA 输出引脚与 ADC 对应关系

引脚标号	OA 输出引脚	对应 ADC 通道
B9	OAP0_OUT	ADC1_CH2
A8	OPA1_OUT	ADC0_CH2
B2	OPA2_OUT	ADC0_CH8

7.4.2 操作说明

如需使用 PWM 驱动 HINx/LINx，建议按照如下顺序配置

- 查看预驱引脚与芯片内部对应关系，如表格 7-1 所示
- 通过 PORT_SEL 寄存器将引脚切换为指定 PWM 功能
- 配置 PWM，详情请查看 PWM 章节
- PWM 使能

7.4.3 参考应用电路

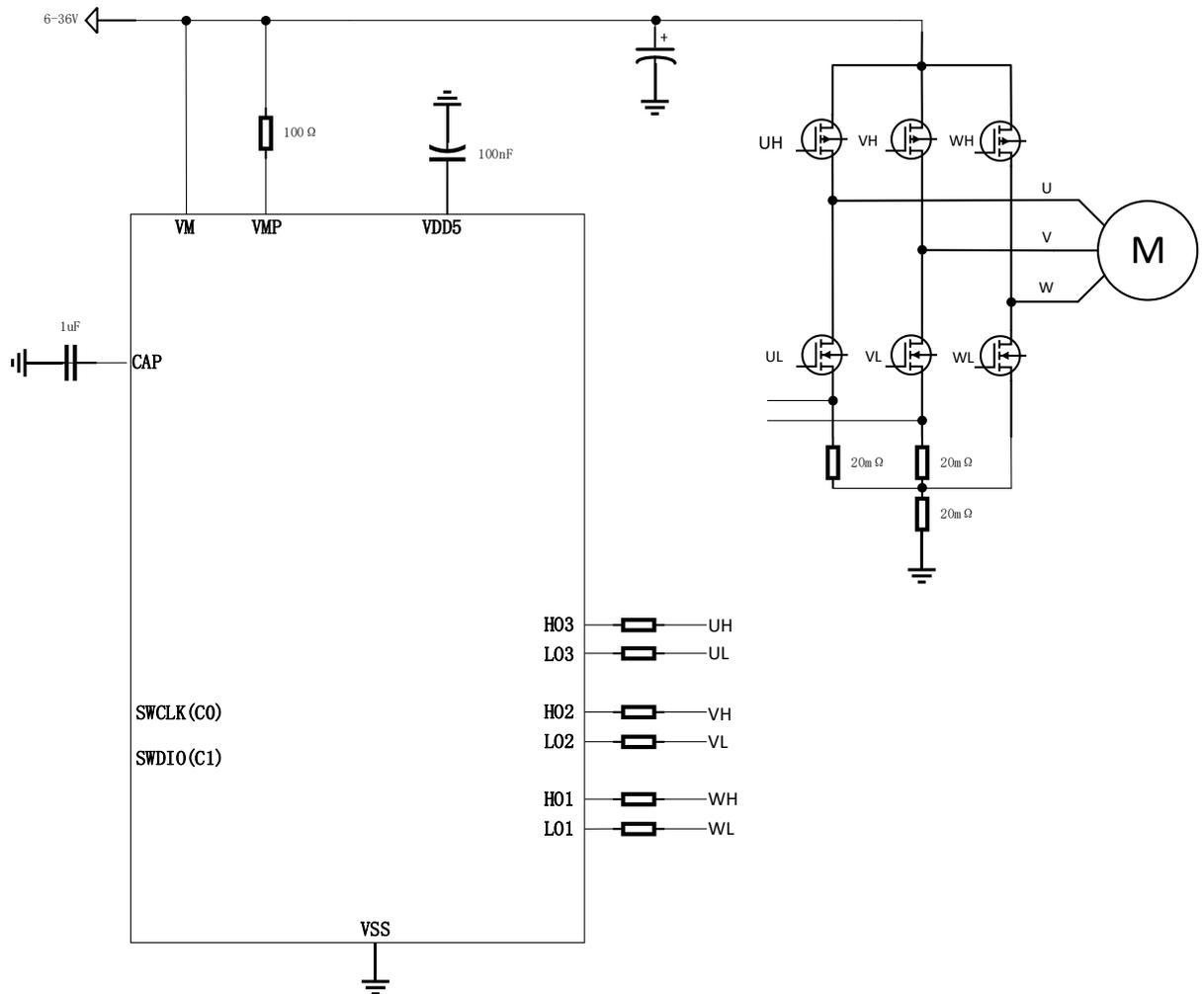


图 7-2 参考应用电路

8. 6N 预驱

8.1 概述

集成了三个独立的半桥栅极驱动集成电路芯片，专为高压、高速驱动 MOSFET 设计，悬浮绝对电压高达+250V。

8.2 特性

- 高端悬浮自举电源设计，耐压可达 500V
- 集成三路独立半桥驱动
- 带一个 LDO，输出 5V
- 最高频率支持 500KHZ
- 低端 VCC 电压范围 8V-20V
- 输出电流能力 IO +0.6A/-1.2A
- VCC 和 VB 带欠压保护
- 内建死区控制电路
- 自带闭锁功能，彻底杜绝上、下管输出同时导通
- HIN 输入通道高电平有效，控制高端 HO 输出
- LIN 输入通道高电平有效，控制低端 LO 输出

8.3 模块结构框图

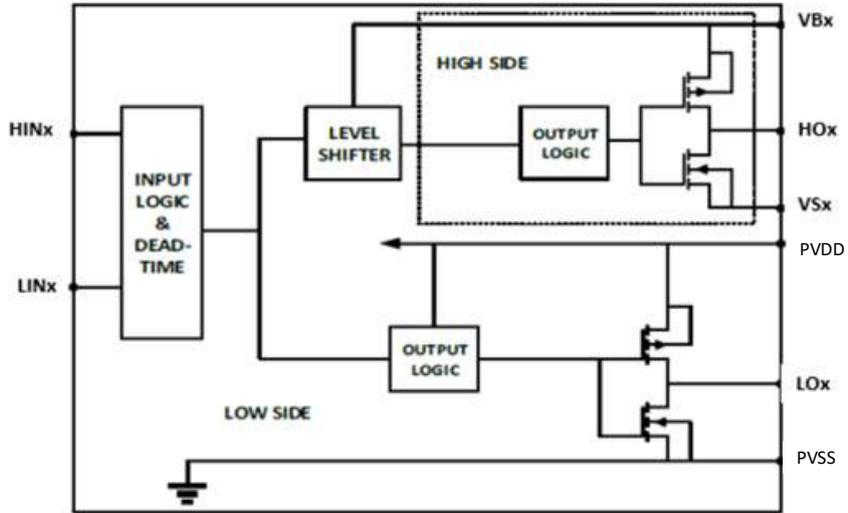


图 8-1 SWM22DD8U7 预驱模块结构框图

8.4 功能描述

8.4.1 引脚对应

表 8-1 预驱引脚与芯片内部对应关系

预驱引脚	内部连接管脚	对应 PWM
HIN1	A5	PWM1A/PWM0AN/PWM1AN
LIN1	A2	PWM1AN/PWM0AN/PWM1A
HIN2	A4	PWM1B/PWM1AN/PWM1BN
LIN2	A1	PWM1BN/PWM1B
HIN3	A3	PWM0A/PWM1AN/PWM0AN
LIN3	A0	PWM0AN/PWM1BN/PWM0A

注：表格内容为芯片内部连接对应关系

表 8-2 OPA 输出引脚与 ADC 对应关系

引脚标号	OPA 输出引脚	对应 ADC 通道
B9	OPA0_OUT	ADC1_CH2
A8	OPA1_OUT	ADC0_CH2
B2	OPA2_OUT	ADC0_CH8

8.4.2 操作说明

如需使用 PWM 驱动 HINx/LINx，建议按照如下顺序配置

- 查看预驱引脚与芯片内部对应关系，如表 8-1 所示
- 通过 PORT_SEL 寄存器将引脚切换为指定 PWM 功能
- 配置 PWM，详情请查看 PWM 章节
- PWM 使能

8.4.3 参考应用电路

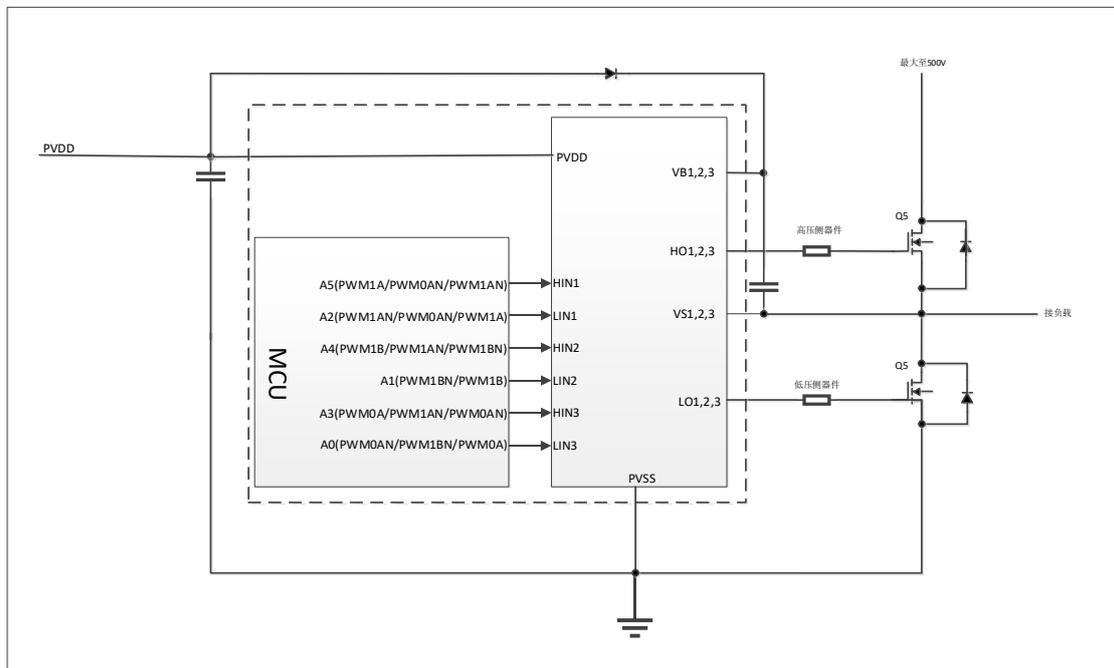
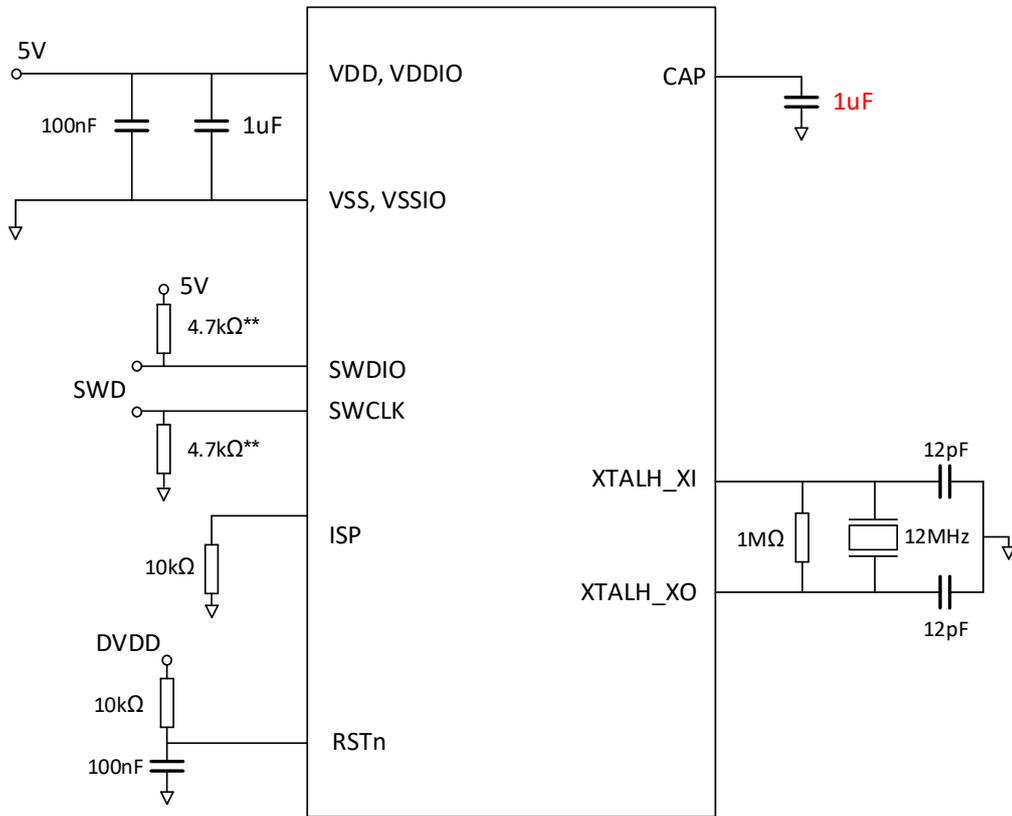


图 8-2 参考应用电路图

9. 最小系统电路



** SWCLK, SWDIO 电阻根据烧录器和调试器自带的上下拉电阻适配

图 9-1 最小系统示意图

10. 电气特性

本章提供了本系列芯片电气参数，包括额定值，DC 参数及 AC 参数。

10.1 绝对最大额定值

注意：绝对最大额定值是可能给器件带来物理性损伤或者影响稳定性的额定值，必须在不超过额定值的情况下使用此器件。

表格 10-1 绝对最大额定值

符号	参数	最小值	最大值	单位
$V_{DD} - V_{SS}$	外供主电源电压	-0.3	5.8	V
$V_{DDA} - V_{SS}$	外供模拟电源电压	-0.3	5.8	V
V_{IN}	I/O 输入电压	$V_{SS} - 0.3$	$V_{DD} + 0.3$	V
$ \Delta V_{DDX} $	不同供电引脚之间的电压差	-	50	mV
$ \Delta V_{SSX} $	不同接地引脚之间的电压差	-	50	mV
T_A	工作温度	-40	105	°C
T_S	贮存温度	-55	150	°C
T_J	结温	-40	125	°C
I_{OL}	任意 I/O 最大输入电流	-	30	mA
I_{OH}	任意 I/O 最大输出电流	-	30	mA
ΣI_{OL}	所有 I/O 输入电流和	-	150	mA
ΣI_{OH}	所有 I/O 输出电流和	-	150	mA
I_{INJ}	任意 I/O 注入电流	-10	10	mA
ΣI_{INJ}	所有 I/O 总注入电流	-50	50	mA

1. 所有的电源(V_{DD} , V_{DDA})和地(V_{SS} , V_{SSA})引脚必须一直接在外接电源上，并保持许可范围
2. I_{INJ} 绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 I_{INJ} 不超过其最大值。当 $V_{IN} > V_{DD}$ 时，有一个正向注入电流；当 $V_{IN} < V_{SS}$ 时，有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。
4. 当几个 I/O 口同时有注入电流时， ΣI_{INJ} 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

10.2 EMC 特性

10.2.1 SWM221CBT7

参数	测试条件	级别
HBM	MIL-STD-883J Method 3015.9, Ta = 25° C	3
HBM	ANSI/ESDA/JEDEC JS-001-2023 标准, Ta = 25° C	3A
CDM	ANSI/ESDA/JEDEC JS-002-2022 标准, Ta = 25° C	C3
LU	JEDECEIA/JESD78F.02 2023 标准, Ta = 25° C	1A

10.2.2 SWM221EBS7

参数	测试条件	级别
HBM	ANSI/ESDA/JEDEC JS-001-2023 标准, Ta = 25° C	3B
CDM	ANSI/ESDA/JEDEC JS-002-2022 标准, Ta = 25° C	C3
LU	JEDECEIA/JESD78F.02 2023 标准, Ta = 25° C	1A

10.2.3 SWM22PE8S7

参数	测试条件	级别
MCU HBM	ANSI/ESDA/JEDEC JS-001-2023 标准, Ta = 25° C	3B
Driver HBM	ANSI/ESDA/JEDEC JS-001-2023 标准, Ta = 25° C	1C
CDM	ANSI/ESDA/JEDEC JS-002-2022 标准, Ta = 25° C	C3
LU	JEDECEIA/JESD78F.02 2023 标准, Ta = 25° C	1A

10.3 直流电气特性

 表格 10-2 直流电气特性($V_{DD} = 2.2V \sim 5.5V$, $V_{SS} = 0V$, $T_A = 25^\circ C$)

参数	最小值	典型值	最大值	单位	符号	测试条件
工作电压 (未使用 ADC 和 DAC)	2.2	5.0	5.5	V	V_{DD}	-
模拟工作电压 (使用 ADC 或 DAC)	2.5	-	V_{DD}	V	V_{DDA}	-
模拟参考电压	-	V_{DDA}	-	V	V_{REF}	-
普通工作模式下 电流	-	10	-	mA	I_{DD1}	$F_{sys} = 72MHz$, $V_{DD} = 5V$, 所有引脚无负载, 输入 不使能, 外设时钟关闭
	-	1.5	-	mA	I_{DD2}	$F_{sys} = 8MHz$ HRC, $V_{DD} = 5V$, 所有引脚无负载, 输入 不使能, 外设时钟关闭
普通工作模式下 电流 (32KHz)	-	210	-	μA	I_{DD3}	$F_{sys} = 32kHz$ LRC, $V_{DD} = 5V$, 所有引脚无负载, 输入不使能, 外设时钟 关闭, 内部高频振荡器 关闭
SLEEP 模式	-	120	-	μA	I_{DD4}	$V_{DD} = 5.0V$ FLASH 深度睡眠模式使 能, 在 SRAM 中执行睡 眠以及唤醒等待, 唤醒 后等待 20 μs 执行 flash 程序
	-	200	-	μA	I_{DD5}	$V_{DD} = 5.0V$ FLASH 不进入深度睡眠 模式
	-	105	-	μA	I_{DD6}	$V_{DD} = 3.3V$ FLASH 深度睡眠模式使 能, 在 SRAM 中执行睡 眠以及唤醒等待, 唤醒 后等待 20 μs 执行 flash 程序
	-	180	-	μA	I_{DD7}	$V_{DD} = 3.3V$ FLASH 不进入深度睡眠模 式
I/O 输入低电压	-	-	$0.3 \times V_{DD}$	V	V_{IL}	$V_{DD} = 5.0V$
	-	-	0.8			$V_{DD} = 3.3V$

I/O 输入高电压	$0.7 \times V_{DD}$	-	-	V	V_{IH}	$V_{DD} = 5.0V$
	2.0	-	-			$V_{DD} = 3.3V$
I/O 输入低电流	-1	-	-	μA	I_{IL}	-
I/O 输入高电流	-	-	+1	μA	I_{IH}	-
I/O 输出低电压	-	-	0.5	V	V_{OL}	$V_{DD} = 5.0V, I_{OL} = 16mA$
	-	-	0.4			$V_{DD} = 3.3V, I_{OL} = 8mA$
I/O 输出高电压	$V_{DD} - 0.8$	-	-	V	V_{OH}	$V_{DD} = 5.0V, I_{OH} = 16mA$
	2.4	-	-	V		$V_{DD} = 3.3V, I_{OH} = 8mA$
I/O 内置上拉电阻	20	-	100	k Ω	R_{PU}	$V_{IN} = V_{SS}$
I/O 内置下拉电阻	20	-	100	k Ω	R_{PD}	-
I/O 输入电容	-	10	-	pF	C_{IN}	-

10.4 交流电气特性

10.4.1 8MHz 内部高频 RC 振荡器

表格 10-3 内部高频 RC 振荡器特性

参数	最小值	典型值	最大值	单位	条件
电压	2.2	5.0	5.5	V	—
中心频率	-	8	-	MHz	—
内部震荡矫正	-1	-	1	%	$T_A = 25^{\circ}\text{C}$, $V_{DD} = 5.0\text{V}$
	-2	-	2	%	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{DD} = 2.2\text{V} \sim 5.5\text{V}$
启动时间	1	-	2	us	
功耗		80	100	uA	

10.4.2 32kHz 内部低频 RC 振荡器

表格 10-4 内部低频 RC 振荡器特性

参数	最小值	典型值	最大值	单位	条件
电压	2.2	5.0	5.5	V	—
中心频率	—	32	—	kHz	—
频率误差	-20	—	20	%	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{DD} = 2.2\text{V} \sim 5.5\text{V}$
启动时间	-	-	100	us	
功耗	-	-	3	uA	

10.4.3 外部晶体振荡器

表格 10-5 外部晶体振荡器

参数	最小值	典型值	最大值	单位	测试条件
工作电压	2.2	-	5.5	V	-
温度	-40	-	105	$^{\circ}\text{C}$	-
工作电流	-	-	0.7	mA	12MHz, $V_{DD} = 5.0\text{V}$
稳定时间	-	-	2	ms	12MHz, $V_{DD} = 5.0\text{V}$
时钟频率	8	-	24	MHz	-
外部反馈电阻 ⁶	1	-	10	M Ω	-
负载电容 C_{L1}	10	-	30	pF	-
负载电容 C_{L2}	10	-	30	pF	-

⁶ 为保证外部晶体振荡器正常工作，必须并入外部反馈电阻

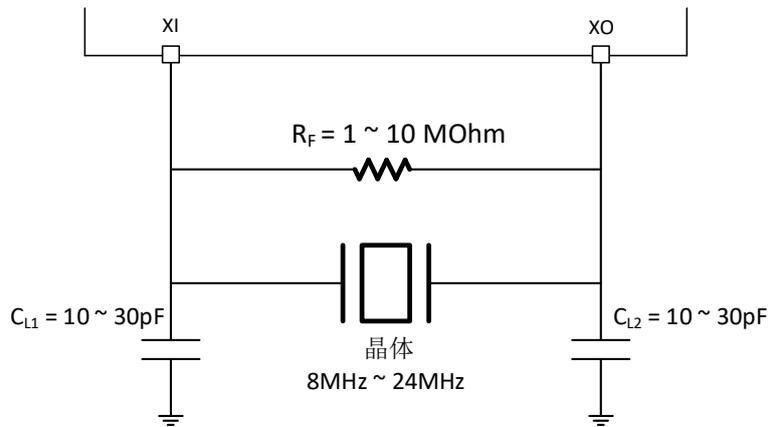


图 10-1 外部晶体振荡器典型电路

10.4.4 PLL 特性

表格 10-6 PLL 特性

参数	最小值	典型值	最大值	单位	条件
输入时钟频率, F_{IN}	4	-	20	MHz	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{DD} = 2.2\text{V} \sim 5.5\text{V}$
输入时钟占空比	45	-	55	%	
倍频输出频率, F_{OUT}	48	-	72	MHz	
锁定时间 t_{LOCK}	-	20	30	us	
功耗	-	0.3	0.5	mA	

10.5 模拟器件特性

10.5.1 上电和掉电工作条件

上电后，当 $V_{DD} \geq V_{POR}$ 后，复位控制电路在 LDO 和内部高频 RC 振荡器输出稳定后的 $\sim 200\mu s$ 完成数字电路复位，接着芯片进行初始化和加载校准值，再经过 $\sim 500\mu s$ 延时后，开始运行用户程序。

表格 10-7 是在 CAP 脚接 $1\mu F$ 电容，和表格 10-2 条件下评估得出。

表格 10-7 上电和掉电工作条件

参数	最小值	最大值	符号	单位
VDD 上升率 ⁽¹⁾	10	1000	t_{VDD}	us/V
VDD 下降率 ⁽¹⁾	20	1000		

1. 基于有限数量测试，由设计保证，未经生产测试。

10.5.2 LDO 特性

表格 10-8 LDO 特性

参数	最小值	典型值	最大值	符号	单位
工作电压	2.2	-	5.5	V_{DD}	V
输出电压	1.35	1.5	1.65	V_{LDO}	V
工作温度范围	-40	25	105	T_A	$^{\circ}C$

1. 建议 $1\mu F$ 和 $100nF$ 电容并联接 VDD 和 VSS 引脚之间。
2. 保证电源稳定，CAP 引脚对 VSS 接 $1\mu F$ 电容。

10.5.3 电压检测(PVD)和低压复位(LVR)特性

表格 10-9 电压检测和欠压复位特性

参数	符号	最小值	典型值	最大值	单位	测试条件
复位电压阈值	V_{POR}	-	1.95	2.2	V	上升沿
	V_{PDR}	1.7	1.85	-	V	下降沿
电压检测阈值	V_{PVD_VTH}	2.05	2.1	2.15	V	PVD_VTH = 000 (上升沿)
		1.95	2.0	2.05	V	PVD_VTH = 000 (下降沿)
		2.35	2.4	2.45	V	PVD_VTH = 001 (上升沿)
		2.25	2.3	2.35	V	PVD_VTH = 001 (下降沿)
		2.65	2.7	2.75	V	PVD_VTH = 010 (上升沿)
		2.75	2.8	2.85	V	PVD_VTH = 010 (下降沿)
		2.95	3.0	3.05	V	PVD_VTH = 011 (上升沿)
3.05	3.1	3.15	V	PVD_VTH = 011 (下降沿)		

		3.75	3.8	3.85	V	PVD_VTH = 100 (上升沿)
		3.65	3.7	3.75	V	PVD_VTH = 100 (下降沿)
		4.05	4.1	4.15	V	PVD_VTH = 101 (上升沿)
		3.95	4.0	4.05	V	PVD_VTH = 101 (下降沿)
		4.35	4.4	4.45	V	PVD_VTH = 111 (上升沿)
		4.25	4.3	4.35	V	PVD_VTH = 111 (下降沿)
PVD 迟滞	V _{PVD_HYS}	-	100	-	mV	
低压复位阈值	V _{LVR_VTH}	2.05	2.1	2.15	V	LVR_VTH = 01 (上升沿)
		1.95	2.0	2.05	V	LVR_VTH = 01 (下降沿)
		2.55	2.6	2.65	V	LVR_VTH = 10 (上升沿)
		2.45	2.5	2.55	V	LVR_VTH = 10 (下降沿)
		3.55	3.6	3.65	V	LVR_VTH = 11 (上升沿)
		3.45	3.5	3.55	V	LVR_VTH = 11 (下降沿)
LVR 迟滞	V _{LVR_HYS}	-	100	-	mV	
复位持续时间	T _{LVR_TEMP}	-	5	-	ms	数字延时

10.5.4 内置电压基准源 (VREF)

参数	最小值	典型值	最大值	单位	测试条件
内置电压基准源	2.376	2.4	2.424	V	VREF_SEL = 00
	3.564	3.6	3.636	V	VREF_SEL = 01
	4.455	4.5	4.545	V	VREF_SEL = 10
	-	V _{DDA}	-	V	VREF_SEL = 11

1. VREFP 引脚接 1uF 陶瓷电容。

10.5.5 12 位 ADC 特性

表格 10-10 ADC 特性

参数	最小值	典型值	最大值	符号	单位	测试条件
工作电压	2.4	-	5.5	V _{DDA}	V	16MHz
	1.8	-	2.4			8MHz
分辨率	-	-	12		bit	
工作电流	-	1.4	-	I _{DDA}	mA	
非线性差分误差	-1.5	1	1.5	DNL	LSB	
非线性积分误差	-3	±2	3	INL	LSB	
偏移误差	-3	±1.5	3	EO	LSB	
增益误差	-3	±1.5	3	EG	LSB	
综合误差	-5	±3.5	5	ET	LSB	

采样速率	0.05	-	1	F_S	MHz	
工作时钟频率	-	-	16	F_{CLK}	MHz	
采样延时	$4/F_{CLK}$	-	-	T_S	s	
转换时间	-	$12/F_{CLK}$	-	T_C	s	
使能到第一次转换时间	$32/F_{CLK}$	-	-	-	s	
参考电压	2.5	-	V_{DDA}	V_{REFP}	V	
采样电容值	-	13	15	C_{IN}	pF	
采样开关电阻	-	1.5	-	R_{IN}	k Ω	

10.5.6 温度传感器特性

参数	最小值	典型值	最大值	符号	单位
Vsense 随温度线性度 ⁽¹⁾	-	± 5	-	$T_L^{(1)}$	$^{\circ}\text{C}$
平均斜率	-	-1.5	-	Avg_Slop ⁽¹⁾	mV/ $^{\circ}\text{C}$
25 $^{\circ}\text{C}$ 时电压($\pm 5^{\circ}\text{C}$) ⁽²⁾	0.738	0.75	0.762	$V_{25}^{(2)}$	V
启动时间	-	2	-	$t_{START}^{(1)}$	μs
ADC 采样时间	4	-	-	$T_{S_temp}^{(1)}$	μs

1. 基于有限数量测试，由设计保证，未经生产测试。
2. 生产测试基于常温环境。

10.5.7 RSTn 引脚特性

参数	最小值	典型值	最大值	符号	单位
RSTn 输入低电平电压 ⁽¹⁾	-	$0.4V_{DD}$	-	$V_{IL(RSTn)}$	V
RSTn 输入高电平电压 ⁽¹⁾	-	$0.7V_{DD}$	-	$V_{IH(RSTn)}$	V
RSTn 施密特触发器迟滞电压 ⁽¹⁾	-	1.2	-	$V_{hys(RSTn)}$	V
弱上拉等效电阻 ^(1,2)	-	60	-	R_{pu}	k Ω
要求的最短复位脉冲宽度 ⁽¹⁾	-	600	-	$V_{F(RSTn)}$	ns

1. 无特别声明的情况下，上表给出的数据基于常温常压测试环境得出。
2. RSTn 引脚内部连接了一个永久性的 R_{pu} 上拉电阻。

10.5.8 可编程增益运放特性(PGA)

表格 10-11 可编程增益运放特性

参数	最小值	典型值	最大值	单位	测试条件
工作电压	2.5	-	5.5	V	
功耗					
共模输入电压	0	-	V _{DDA}	V	
输入失调电压	-	5	10	mV	Buffer On, V _{CM} = 0.1V
	-	5	10	mV	Buffer On, V _{CM} = 1.2V
		5	10	mV	Buffer On, V _{CM} = 1.8V
		5	10	mV	Buffer On, V _{CM} = 2.25V
	-	5	10	mV	Buffer On, V _{CM} = V _{DD} - 0.1V
	-	3	6	mV	Buffer Off, V _{CM} = 0.1V
	-	3	6	mV	Buffer Off, V _{CM} = 1.2V
	-	3	6	mV	Buffer Off, V _{CM} = 1.8V
		3	6	mV	Buffer Off, V _{CM} = 2.25V
	3	6	mV	Buffer Off, V _{CM} = V _{DD} - 0.1V	
直流增益	72	-	-	dB	Buffer On, C _{LOAD} = 20pF, R _{OUT} = 600Ω
	70	-	-	dB	Buffer Off, C _{LOAD} = 20pF, R _{OUT} = 100Ω
单位增益带宽	6.8	10	-	MHz	Buffer On, C _{LOAD} = 20pF, R _{OUT} = 600Ω
	5	10	-	MHz	Buffer Off, C _{LOAD} = 20pF, R _{OUT} = 100Ω
共模抑制比	60	-	-	dB	Buffer On, C _{LOAD} = 20pF, R _{OUT} = 600Ω
	70	-	-	dB	Buffer Off, C _{LOAD} = 20pF, R _{OUT} = 100Ω
电源抑制比	58	-	-	dB	Buffer On, C _{LOAD} = 20pF, R _{OUT} = 600Ω
	68	-	-	dB	Buffer Off, C _{LOAD} = 20pF, R _{OUT} = 100Ω
压摆率	5	8	-	V/us	
相位裕度	65	-	-	dB	Buffer On, C _{LOAD} = 20pF, R _{OUT} = 600Ω
	70	-	-	dB	Buffer Off, C _{LOAD} = 20pF, R _{OUT} = 100Ω
输出电压范围	0.2	-	V _{DD} - 0.2	V	
PGA 增益	-3	-	3	%	差分增益 = 1
	-3	-	3	%	差分增益 = 5
	-3	-	3	%	差分增益 = 10

10.5.9 比较器特性 (CMP)

表格 10-12 比较器特性

参数	最小值	典型值	最大值	单位	测试条件
工作电压	2.5	5	5.5	V	
功耗	-	30	50	uA	
输入失调电压	-	8	15	mV	
共模输入电压	0.1	-	$V_{DDA} - 1$	V	
直流增益, DC Gain	-	65	-	dB	
比较器延时, T_d	0.1	0.15	0.2	us	CMPxVP = 1.2V, CMPxVN 从 1.1V 到 1.3V
迟滞, V_{HYS}	-	0	-	mV	CMP_HYS = 00 (无迟滞)
	8	10	12	mV	CMP_HYS = 01
	16	20	24	mV	CMP_HYS = 10
	35	50	60	mV	CMP_HYS = 11
内置 DAC 参考	1.188	1.2	1.212	V	DAC_REFSEL = 00
	3.564	3.6	3.636	V	DAC_REFSEL = 01/11
	-	V_{DD}	-	V	DAC_REFSEL = 11
内置 DAC DNL	-1	± 1	1.5	LSB	
内置 DAC INL	-2.5	± 2	2.5	LSB	
内置 DAC Offset	-3	± 1	3	LSB	

10.5.10 FLASH 特性

除非特别声明, 所有特性参数是在 $T_A = -40 \sim 105^\circ\text{C}$ 得到。

FLASH 烧写过程需要芯片处于稳定状态, 请根据图 9-1 搭建烧录环境。FLASH 烧写使用 8MHz 内部高频 RC, 外部高频晶振电路可以省略。上电时序需要满足表格 10-7 和表格 10-8 条件。

10-13 Flash 存储器特性

参数	最小值	典型值	最大值	符号	单位
工作电压	2.0	5.0	5.5	V_{DDA}	V
擦写次数	10K	-	-	N_{ENDUR}	cycles
数据保留 (25°C)	100	-	-	T_{RET}	years
全片擦除时间	-	40	-	T_{CERASE}	ms
页擦除时间	-	3	-	T_{ERASE}	ms
字编程时间	-	6.5	-	T_{PROG}	us
读电流	-	7	-	I_{READ}	mA
擦除电流	-	1.5	-	I_{ERASE}	mA

10.6 3P3N DRIVER 特性

10.6.1 绝对最大额定值

表格 10-14 3P3N DRIVER 绝对最大额定值

参数	最小值	典型值	最大值	符号	单位
电源电压	-0.3	—	40	VM, VMP	V
高侧输出电压	VM-13	—	VM	HO1, HO2, HO3	
低侧输出电压	-0.3	—	13	LO1, LO2, LO3	
LDO 输出电压	-0.3	—	5.5	VLDO5	
逻辑输入电压	-0.3	—	30	HI1, HI2, HI3, LI1, LI2, LI3	
工作环境温度	-45	—	125	T _A	°C
存储温度	-55	—	150	T _{STG}	
热阻	—	—	300	θ _{JA}	°C/W

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

10.6.2 电气特性 (VMP=VM=24V, CL=1000pF, TA=25°C)

表格 10-15 3P3N DRIVER 电气特性

参数	最小值	典型值	最大值	符号	单位	测试条件
电源输入						
5V 电源输入	5.5	24	36	VMP	V	-
驱动电源输入	6	24	36	VM	V	-
工作电流						
VP 静态电流	—	0.5	1	I _{CC}	mA	输入悬空, VMP=VM=15V
HI1, HI2, HI3, LI1, LI2, LI3 逻辑输入特性						
逻辑高电位	2	—	—	V _{HI}	V	—
逻辑低电位	-0.3	0	0.8	V _{LI}	V	—
LO1、LO2、LO3 输出端参数						
最高输出电压	-	10	-	V _{LO}	V	LIN=5V
输出拉电流	-	45	-	I _{LO+}	mA	VLO=0V, LIN =5V PWD≤10uS
输出灌电流	-	0.28	-	I _{LO-}	A	VLO=10V, LIN =0 PWD≤10uS
HO1、HO2、HO3 输出端参数						
最高输出电压	-	VM-10	-	V _{HO}	V	H _{IN} =5V
输出拉电流	-	0.26	-	I _{HO+}	A	V _{HO} =VM, H _{IN} =0P WD≤10uS
输出灌电流	-	40	-	I _{LO+}	mA	V _{HO} =VM- 10V, H _{IN} =5VPWD ≤10uS
LDO 输出特性						
5V 输出电压	4.75	5.0	5.25	VDD	V	—

10.6.3 动态电特性 (VMP=VM=24V, CL=1000pF, TA=25°C)

表格 10-16 3P3N DRIVER 动态电特性

参数	最小值	典型值	最大值	符号	单位	测试条件
LO1、LO2、LO3 开关时间特性						
开延时	-	90	-	Ton	ns	图 10-2
关延时	-	30	-	Toff	ns	
上升时间	-	280	-	Tr	ns	
下降时间	-	60	-	Tf	ns	
HO1、HO2、HO3 开关时间特性						
开延时	-	90	-	Ton	ns	图 10-3
关延时	-	30	-	Toff	ns	
上升时间	-	80	-	Tr	ns	
下降时间	-	300	-	Tf	ns	
死区时间特性						
死区时间	-	60	-	DT	ns	图 10-4 无负载电容 CL=0

10.6.4 开关时间特性及死区时间波形图

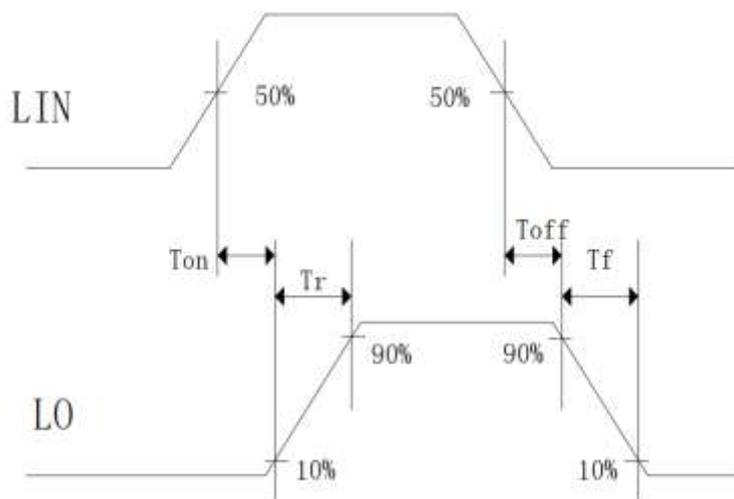


图 10-2 输出 LO 开关时间波形图

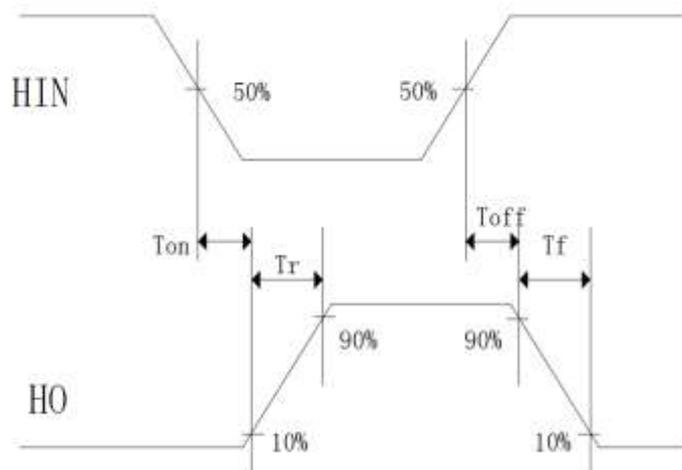


图 10-3 输出 HO 开关时间波形图

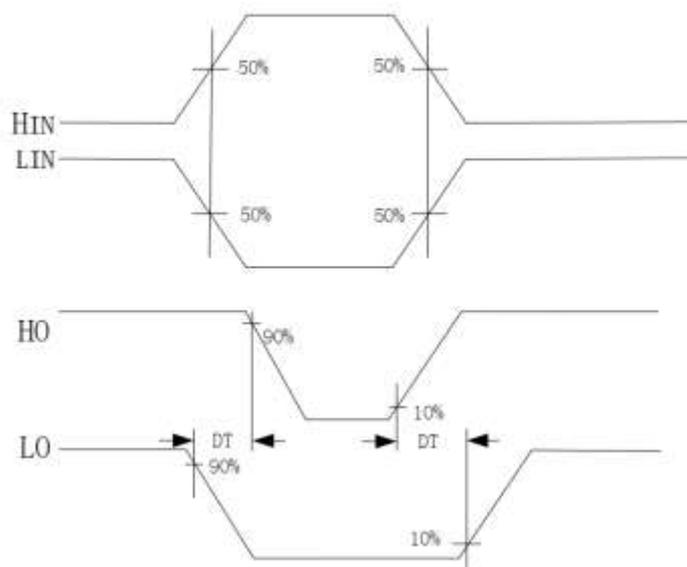


图 10-4 死区时间波形图

10.7 6N 预驱特性 (SWM22DD8U7)

10.7.1 绝对最大额定值

表格 10-17 6N 预驱绝对最大额定值

参数	最小值	典型值	最大值	符号	单位
自举高端 VB 电源	-0.3	—	500	VB1、VB2、VB3	V
高端悬浮地端	VB - 25	—	VB + 0.3	VS1、VS2、VS3	
高侧输出电压	VS - 13	—	VB + 0.3	HO1, HO2, HO3	
低侧输出电压	-0.3	—	PVDD	LO1, LO2, LO3	
电源	-0.3	—	25	PVDD	
逻辑输入电压	-0.3	—	PVDD + 0.3	HIN1, HIN2, HIN3, LIN1, LIN2, LIN3	
工作环境温度	-45	—	125	T _A	°C
存储温度	-55	—	150	T _{STG}	
热阻	—	—	300	θ _{JA}	°C/W

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

10.7.2 电气特性 (T_A=25°C, PVDD=15V, 负载电容 C_L=1nF)

表格 10-18 6N 预驱电气特性

参数	最小值	典型值	最大值	符号	单位	测试条件
电源输入						
预驱电源输入	8	15	20	PVDD	V	-
工作电流-						
PVDD 静态电流	—	180	270	I _{CC}	uA	PVDD=15V, 其余悬空
悬浮电源漏电流	—	0.1	10	I _{LK}	uA	V _{B1,2,3} =V _{S1,2,3} =500V
V _B 静态电流	—	100	150	I _{QB}	uA	V _B =15, 其余悬空
HI1, HI2, HI3, LI1, LI2, LI3 逻辑输入特性						
LIN 高电平输入偏置电流	—	20	40	I _{LINH}	uA	V _{LIN} =5V
LIN 低电平输入偏置电流	—	—	2	I _{LINL}	uA	V _{LIN} =0V
HIN 高电平输入偏置电流	—	20	40	I _{HINH}	uA	V _{LIN} =5V
HIN 低电平输入偏置电流	—	—	2	I _{HINL}	uA	V _{LIN} =0V
PVDD 电源欠压关断特性						
PVDD 开启电压	6	7	8	V _{CC(ON)}	V	—
PVDD 关断电压	5.6	6.6	7.6	V _{CC(OFF)}	V	—
VB 电源欠压关断特性						
VB 开启电压	6	7	8	V _{B(ON)}	V	—

VB 关断电压	5.6	6.6	7.6	V _{B(OFF)}	V	—
IO 输出最大驱动能力						
IO 输出拉电流	-	+0.6	-	I _{o+}	A	V _O =0V, V _{IN} =V _{IH} PW≤10us
IO 输出灌电流	-	-1.2	-	I _{o-}	A	V _O =0V, V _{IN} =V _{IH} PW≤10us

10.7.3 动态电特性 (T_A=25°C, PVDD=15V, 负载电容 C_L=1nF)

表格 10-19 6N 预驱动态电特性

参数	最小值	典型值	最大值	符号	单位	测试条件
LO1、LO2、LO3 开关时间特性						
开延时	-	140	240	T _{on}	ns	图 10-5
关延时	-	150	240	T _{off}	ns	
上升时间	-	35	70	T _r	ns	
下降时间	-	25	50	T _f	ns	
HO1、HO2、HO3 开关时间特性						
开延时	-	140	240	T _{on}	ns	见图 10-6
关延时	-	150	240	T _{off}	ns	
上升时间	-	35	70	T _r	ns	
下降时间	-	25	50	T _f	ns	
死区时间特性						
通道死区时间 (LO1-HO1)	-	50	-	DT	ns	f=1KHZ
通道死区时间 (HO1-LO1)	-	50	-	DT	ns	F=1KHZ

10.7.4 开关时间特性及死区时间波形图

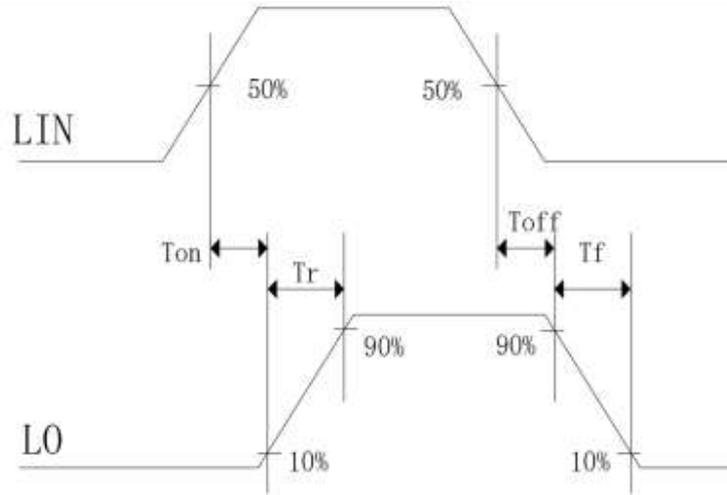


图 10-5 低端输出 LO 开关时间波形图

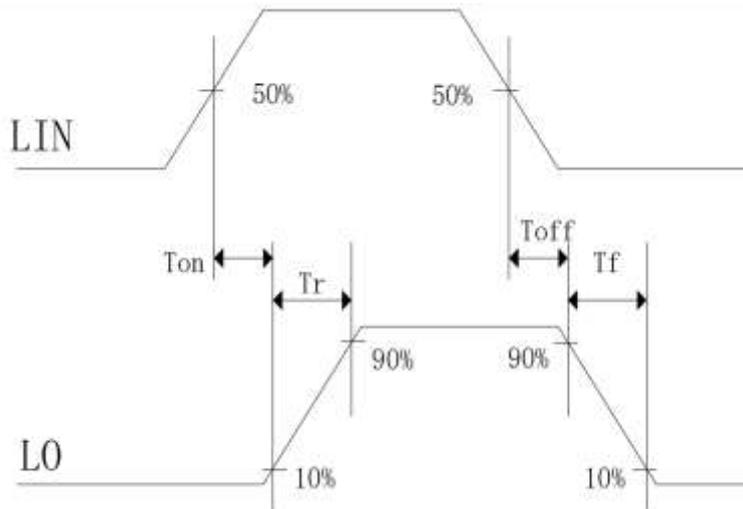
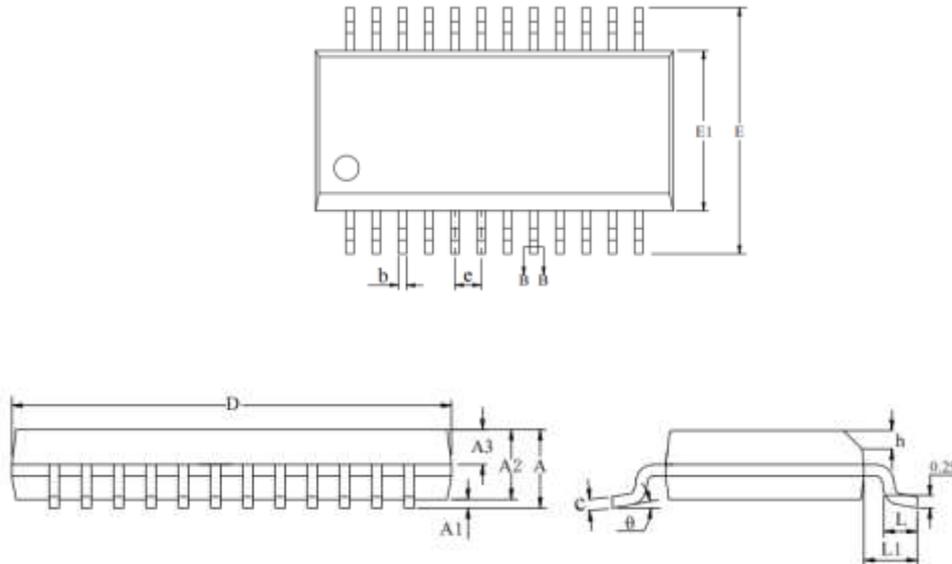


图 10-6 高端输出 HO 开关时间波形图

11. 封装尺寸

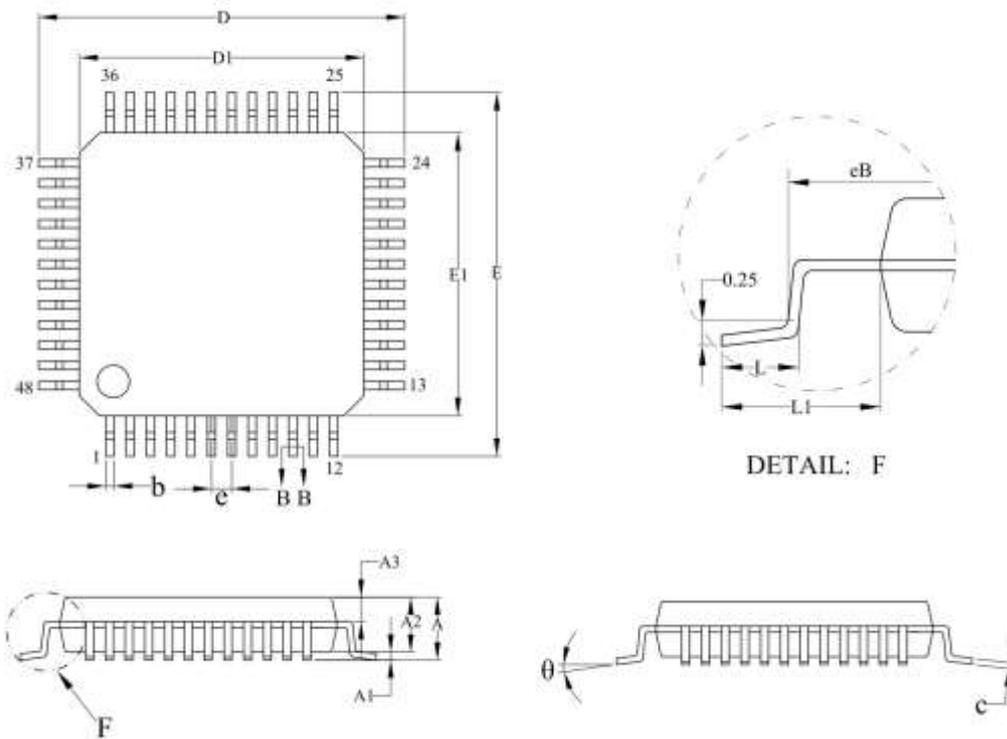
11.1 SSOP24 (SWM221EBS7、SWM22PE8S7)



SYMBOL	MILLIMETER		
	Min	Nom	Max
A	—	—	1.75
A1	0.10	0.15	0.25
A2	1.30	1.40	1.50
A3	0.60	0.65	0.70
b	0.23	—	0.31
c	0.20	—	0.24
D	8.55	8.65	8.75
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	0.635BSC		
h	0.30	—	0.50
L	0.50	—	0.80
L1	1.05REF		
θ	0	—	8°

图 11-1 SSOP24 封装尺寸图

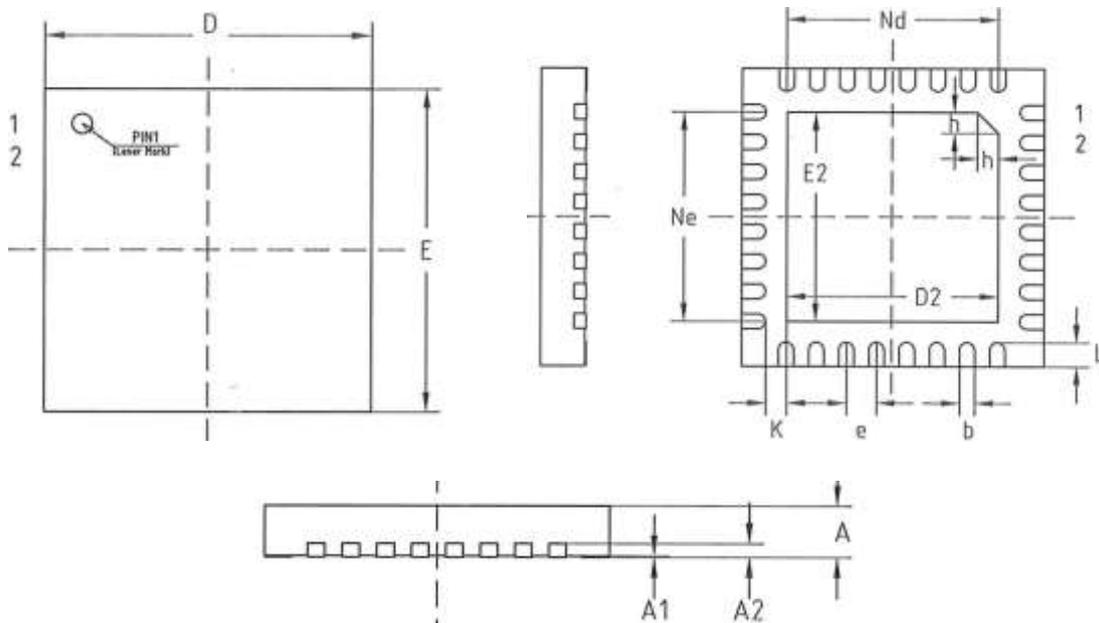
11.2 LQFP48 (SWM221CBT7)



SYMBOL	MILLIMETER		
	Min	Nom	Max
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
c	0.13	—	0.17
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
eB	8.10	—	8.25
L	0.45	—	0.75
L1	1.00REF		
θ	0	—	7°

图 11-2 LQFP48 封装尺寸图

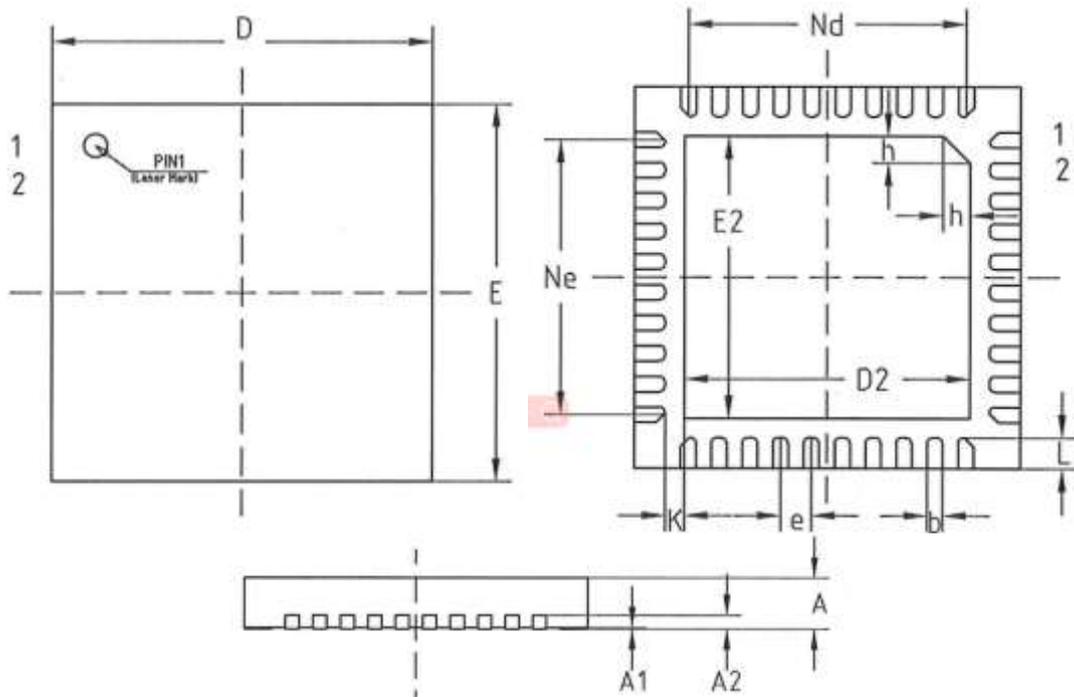
11.3 QFN32 (SWM221KBU7、SWM22DK8U7)



SYMBOL	MILLIMETER		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	—	0.02	0.05
A2	0.203REF		
b	0.20	0.25	0.30
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50BSC		
Ne	3.50BSC		
Nd	3.50BSC		
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40

图 11-3 QFN32 封装尺寸图

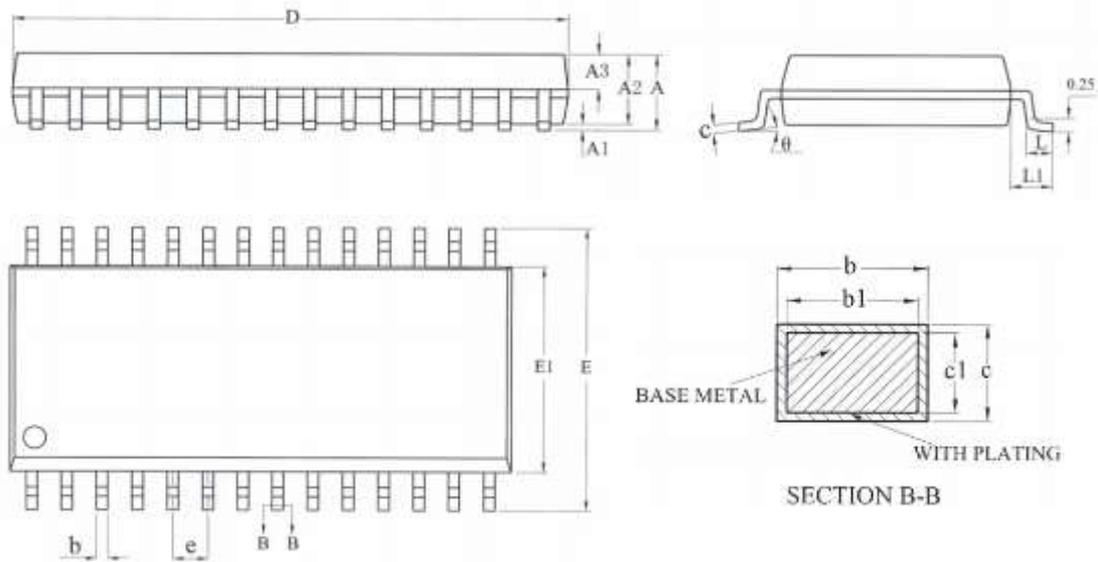
11.4 QFN40 (SWM22DD8U7、SWM221DBU7)



SYMBOL	MILLIMETER		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	—	0.02	0.05
A2	0.203 REF		
b	0.15	0.20	0.25
D	4.90	5.00	5.10
D2	3.60	3.70	3.80
e	0.40BSC		
Ne	3.60BSC		
Nd	3.60BSC		
E	4.90	5.00	5.10
E2	3.60	3.70	3.80
L	0.35	0.40	0.45
h	0.30	0.35	0.40

图 11-4 QFN40 封装尺寸图

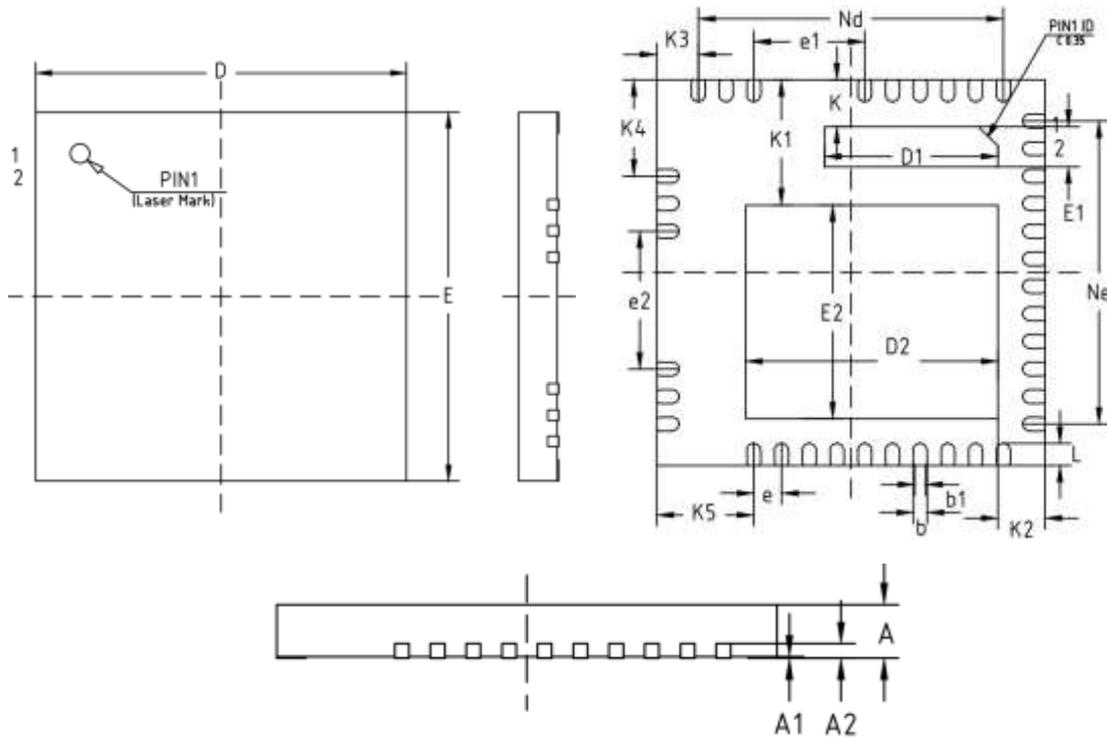
11.5 SSOP28 (SWM22PG8S7、SWM221PGBS7)



SYMBOL	MILLIMETER		
	Min	Nom	Max
A	—	—	2.0
A1	0.05	—	0.25
A2	1.65	1.75	1.85
A3	0.75	0.8	0.85
b	0.28	—	0.36
b1	0.27	0.30	0.33
c	0.15	—	0.19
c1	0.14	0.15	0.16
D	10.10	10.20	10.30
E	7.60	7.80	8.00
E1	5.20	5.30	5.40
e	0.65BSC		
L	0.75	—	1.05
L1	1.25REF		
θ	0°	—	8°

图 11-5 SSOP28 封装尺寸图

11.6 QFN37 (SWM22DC8U7)



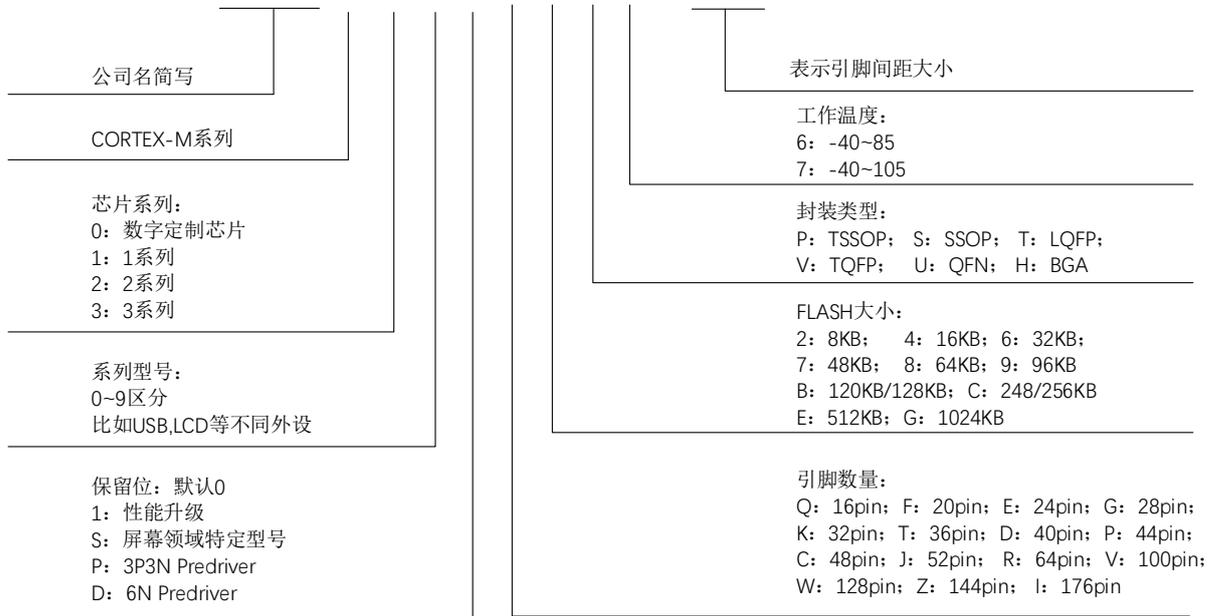
SYMBOL	MILLIMETER		
	Min	Nom	Max
A	0.7	0.75	0.80
A1	—	0.02	0.05
A2	0.203REF		
b	0.20	0.25	0.30
b1	0.15	0.20	0.25
D	6.90	7.00	7.10
D1	3.025	3.125	3.225
D2	4.45	4.55	4.65
E	6.90	7.00	7.10
E1	0.68	0.73	0.78
E2	3.775	3.875	3.975
e	0.50BSC		
e1	2.00BSC		
e2	2.50BSC		
K	0.85REF		
K1	2.275REF		
K2	0.85REF		
K3	0.75REF		
K4	1.75REF		

K5	1.75REF		
L	0.35	0.40	0.45
Ne	5.50BSC		
Nd	5.50BSC		

图 11-6 QFN37 封装尺寸图

12. 命名规则说明

S W M 2 2 1 C B T 7 - 5 0



13. 缩写

13.1 缩写表

名称	描述
ACMP	Analog ComArator Controller
ADC	Analog-to-Digital Converter
AES	Advanced Encryption Standard
APB	Advanced Peripheral Bus
AHB	Advanced High-Performance Bus
PVD	Programmable Voltage Detector
LVR	Low Votlage Detector
CAN	Controller Area Network
PWM	Pulse Width Modulation
FIFO	First In, First Out
PB	General-Purpose Input/Output
IAP	In Application Programming
ICP	In Circuit Programming
ISP	In System Programming
LDO	Low Dropout Regulator
MPU	Memory Protection Unit
NVIC	Nested Vectored Interrupt Controller
DMA	Direct Memory Access
PLL	Phase-Locked Loop
BSC	Basic SAcing between Centers (中心基本距离), 一般用在说明 IC 两引脚中心的基本间距。